

EXAME DE QUALIFICAÇÃO
DISSERTAÇÃO DE MESTRADO

METODOLOGIA DE PROJETO PARA LNA
EM CMOS RF

Elkim Felipe Roa Fuentes

elkimr@lsi.usp.br

Orientador: Wilhelmus A. M. Van Noije

noije@lsi.usp.br

Dezembro de 2002

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA

DEPARTAMENTO DE ENGENHARIA DE SISTEMAS ELETRÔNICOS
LABORATÓRIO DE SISTEMAS INTEGRÁVEIS

Sumário

1	Introdução	1
1.1	Motivação	1
1.2	Levantamento do problema	1
1.3	Objetivos	3
1.4	Aspectos Metodológicos	4
1.5	Cronograma	4
1.6	Proposta de organização do documento	5
2	Aspectos teóricos	7
2.1	Trabalhos publicados	7
2.1.1	Casamento para mínimo fator de ruído	8
2.1.2	Considerando linearidade	12
2.1.3	Outras considerações	12
2.2	Metodologia de projeto, proposta	13
2.2.1	Análise do fator de ruído	15
2.2.2	Análise de linearidade	20
A	Especificações	23
A.1	Sensibilidade	23
A.2	Distorção	25
A.2.1	Ponto de compressão de 1dB	26
A.2.2	Intermodulação	27
A.2.3	Faixa dinâmica	29
A.3	Seletividade	30
B	Desempenho dos transistores MOS a altas frequências (RF)	31
B.1	Frequência de trabalho	31
B.2	Efeito Não Quase eStático (NQS)	33
B.3	Fontes de ruído	33

Capítulo 1

Introdução

Ter acesso a informações e comunicações em momentos e lugares inesperados tem incrementado a demanda de sistemas de comunicação portáteis, estabelecendo a oportunidade de proporcionar as todas as pessoas, mesmo as de baixa renda, um sistema portátil e como consequência um melhoramento no estilo de vida.

1.1 Motivação

O conforto e a versatilidade que prestam os produtos de comunicação portáteis (sem fio) tem feito expandir o mercado de telecomunicações e com ele as pesquisas na área visando um melhor desempenho e menor custo. As aplicações populares (telefone móvel, *paggers*, redes locais sem fio, GPS, etc) em sua maioria são implementadas usando circuitos de Rádio frequência (RF) de tecnologia bipolar, Arseneto de Gálio (GaAs), Bipolar Complementary Metal Oxide Semiconductor (BiCMOS), os quais prevêem uma maior frequência de ganho unitário de corrente (f_T), maior transconductância e maior desempenho de ruído quando são comparadas com outras tecnologias. Não obstante, os altos custos de fabricação dessas tecnologias e a incompatibilidade de integração com os circuitos de processamento de dados digitais, os quais são comumente realizados em tecnologia CMOS padrão, comprometem a diminuição de custos.

O contínuo escalamento das dimensões na tecnologia CMOS tem permitido maior integração e melhor desempenho dos circuitos digitais, e também, pelo aumento em f_T [1] tem tornado CMOS uma opção viável para circuitos RF. A possibilidade de integração do RF *Front – End* com a parte digital em sistemas operando a frequências abaixo de 10GHz, a baixa dissipação de potência, o contínuo investimento e desenvolvimento, a alta densidade, e o baixo custo tem motivado as pesquisas em circuitos RF analógicos em tecnologia digital CMOS padrão.

1.2 Levantamento do problema

A corrida para provar que o desempenho dos circuitos RF CMOS (operando a frequências de alguns GHz) é comparável com circuitos RF em outras tecnologias, começou no início da década passada [2]. Um dos primeiros blocos ubicados num receptor é o amplificador

de baixo ruído (LNA), o qual também tem sido implementado em diversos trabalhos, provando sua viabilidade em tecnologia CMOS [3, 4, 5, 6, 7, 8, 9, 10]. O LNA amplifica o sinal de entrada proveniente da antena (um filtro pode ser inserido entre a antena e o LNA) para ao mixer. O projeto do LNA é crítico porque ele deve prover um ganho suficiente aos baixos níveis de potência que chegam à antena, não degradando a relação sinal ruído (SNR), e ser capaz de sustentar grandes sinais com baixa distorção e baixo consumo de potência. Como o estágio anterior ao LNA é uma antena, existe a "necessidade"¹ de uma impedância de entrada específica (50Ω) para garantir máxima transferência de potência. Desta forma, o LNA requer um compromisso entre um ganho suficiente, baixa figura de ruído, alta linearidade, casamento na entrada e na saída, isolamento do sinal reverso e baixo consumo de potência (veja a justificação no apêndice A).

O projeto do LNA aparenta ser simples pelo pouco número de componentes que o compõe, mas o alto compromisso entre as especificações complica o projeto, ver figura 1.1². Além disso, a estratégia e tempo de projeto do LNA em CMOS depende de uma boa caracterização dos dispositivos para circuitos analógicos, a qual é pobre numa tecnologia CMOS padrão. A caracterização analógica está relacionada com a precisão dos modelos dos dispositivos. Para ter um modelo preciso é necessário manter uma caracterização física dos efeitos que governam a função dos dispositivos, no entanto, na medida que aumentam os esforços em caracterizar os dispositivos CMOS para circuitos analógicos operando a altas frequências, o escalamento degrada a precisão dos modelos [12, 13]. Para cumprir com o compromisso das especificações (figura 1.1) desde a etapa de projeto, é necessário que o modelo dos dispositivos considerem: o comportamento DC, comportamento AC, comportamento da linearidade, fontes de ruído, levem em conta o escalamento, a extração de parâmetros, variações de temperatura, e tolerâncias do processo [11, 14, 15, 16].

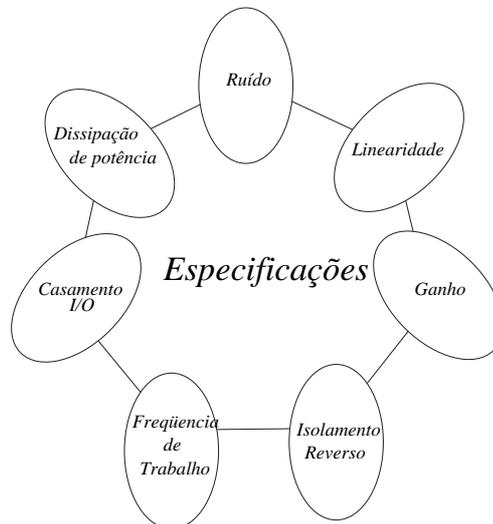


Figura 1.1: Parâmetros do projeto de um LNA.

Desejamos neste trabalho desenvolver uma estratégia de projeto para circuitos LNA

¹Quando existe um filtro entre a antena e o LNA é necessário casar a entrada do LNA a 50Ω , pois um desvio na carga do filtro resulta num pobre desempenho desse filtro. O projeto do LNA isolado requer terminações com 50Ω devido as impedâncias de entrada dos instrumentos de medida.

²Adaptado de [11]

que comprometa as especificações da figura 1.1, examinando diferentes arquiteturas de circuito e levando em conta as variações do processo. Nos últimos anos, um grande número de circuitos LNA em RF CMOS tem sido realizado, mas poucas metodologias precisas tem sido propostas. Desde que o LNA compromete seriamente a figura de ruído global do receptor (ver seção A.1), a maioria dos métodos estão baseados na otimização do desempenho de ruído com um ganho e dissipação de potência pré-definida [17, 5, 18, 19, 20] sendo que os outros parâmetros são adequados às especificações por melhorias no *layout* e desvios da variável otimizada após simulações. Outros autores tem-se interessado no desempenho linear do circuito, propondo arquiteturas [21] e métodos experimentais [22] de projeto.

Pretendemos propor uma metodologia de projeto, desde a formulação de expressões analíticas, para encontrar a geometria e o ponto de polarização dos diferentes dispositivos com dissipação de potência, ganho, isolamento do sinal reverso, frequência de operação, casamento de impedância, desempenho de ruído e linearidade adequados. A figura 1.2 indica os parâmetros de trabalho e a possibilidade de existir uma relação entre eles para obter pontos adequados de compromisso (circulo hachurado no centro da figura 1.2) o quais são pontos mais internos da fronteira de especificações (heptágono). Deve-se notar que as dimensões das elipses, das arestas do heptágono e a sobreposição entre parâmetros é variável. Mesmo assim, o heptágono pode virar um polígono de n lados, ou seja podem ser inseridos parâmetros/lados adicionais.

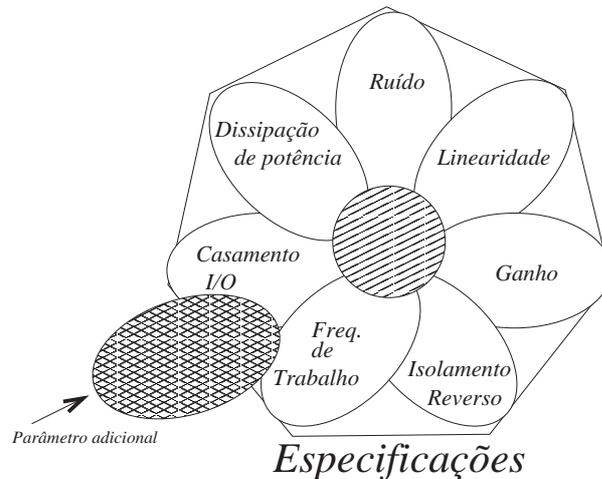


Figura 1.2: Compromisso de especificações no projeto de um LNA

1.3 Objetivos

O objetivo geral deste trabalho é propor uma metodologia para projetar LNAs em tecnologia CMOS. O LNA é um dos blocos de um circuito receptor completo o qual está sendo desenvolvido pelo grupo de projeto RF CMOS dentro do departamento PSI-EPUSP. Os objetivos específicos para cumprir o objetivo geral são:

- Estudo do modelo e desempenho do transistor nMOS em RF.

- Projeto e implementação de um LNA para avaliar a metodologia proposta.
- Determinação dos procedimentos de teste de um amplificador de baixo ruído e avaliação dos resultados obtidos.

1.4 Aspectos Metodológicos

Partindo do estudo dos trabalhos realizados, da definição das especificações de um receptor e do desempenho dos dispositivos CMOS em RF, pretendese explorar uma estratégia de projeto de LNAs em tecnologias CMOS padrão. Para o desenvolvimento e valorização da metodologia tem-se definido as seguintes etapas de trabalho:

1. **Etapa de incubação:** Assimilação de conhecimentos de projeto de circuitos CMOS RF e estudo bibliográfico de topologias e circuitos LNA implementados. Estudo das especificações de um receptor. Estudo do desempenho do transistor MOS em altas frequências.
2. **Etapa de desenvolvimento:** Estudo do desempenho das diferentes arquiteturas do LNA e determinação analítica de expressões. Seleção da arquitetura e estudo das expressões para obter compromisso entre os parâmetros de projeto.
3. **Etapa de implementação:** Usando a metodologia proposta, encontrar as variáveis de projeto adequadas para uma aplicação (pode ser Bluetooth) que opere na banda ISM (Industrial Scientific Medicine), a qual varia de 2400-2483.5 MHz³. Realizar as simulações *pré-layout* para verificar os valores projetados. Desenhar o *layout* numa tecnologia CMOS ao nosso alcance e com o desempenho requerido. Realizar simulações *pós-layout* e modificar o *layout*, se é necessário, para sua adequada operação em altas frequências. Envio do *layout* para sua fabricação.
4. **Etapa de Teste:** No retorno do circuito integrado, desenvolver a placa de teste e aplicar os procedimentos determinados de teste com o propósito de realizar as medidas necessárias para analisar seu desempenho.
5. **Etapa de validação:** Comparar os resultados experimentais com as especificações de projeto e validar a metodologia com os resultados obtidos.

1.5 Cronograma

Com o intuito de levar um guia do planejamento e etapas por cumprir, se realizou o cronograma visto na figura 1.3, o qual especifica as etapas e seus atividades a realizar cronologicamente (mensal).

³A seleção da faixa da frequência se deve a dois aspectos: o parâmetro f_T do transistor nMOS para as tecnologias dispostas academicamente é consideravelmente maior que 2.5GHz (CMOS padrão 0.6 μm e menores); o outro ponto de vista foi a liberdade que existe na implementação acadêmica na banda ISM.

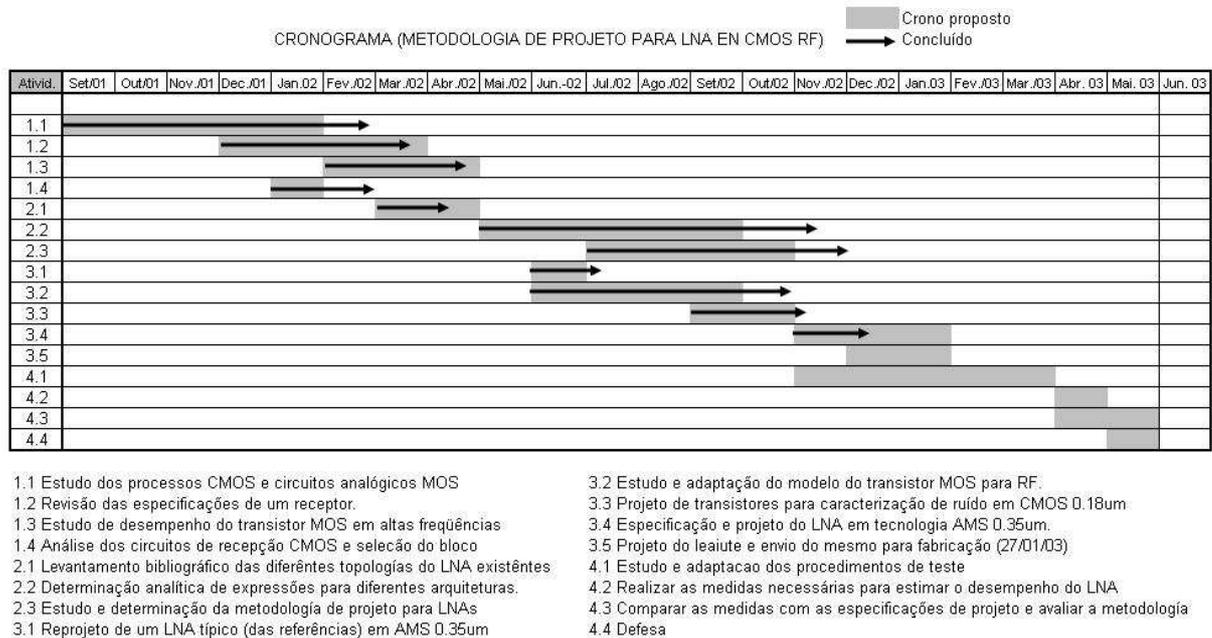


Figura 1.3: Cronograma proposto

1.6 Proposta de organização do documento

1. Introdução

- 1.1. Motivação
- 1.2. O problema
- 1.3. Objetivos

2. Desempenho do transistor nMOS em RF

- 2.1. Frequência de trabalho e máxima
- 2.2. Efeito não quase estático (NQS)
 - 2.2.1. Resistência do canal
 - 2.2.2. Quando considerar
 - 2.2.3. Modelo
- 2.3. Fontes de ruído
 - 2.3.1. Fundamentos de ruído
 - 2.3.2. Ruído térmico do canal
 - 2.3.3. Ruído térmico de porta
 - 2.3.4. Ruído do substrato
 - 2.3.5. Ruído associado à resistência de porta
 - 2.3.6. Outras fontes de ruído
 - 2.3.7. Modelo

2.4. Análise de distorção

2.4.1. Modelos MOS para análise não linear

2.4.2. Como dispositivo sem memória

2.4.3. Como dispositivo com memória

2.5. Desempenho em função do escalamento

3. Metodologia de projeto para LNA em CMOS RF

3.1. Trabalhos realizados de LNAs em CMOS RF

3.1.1. Casamento para máxima transferência de potência

3.1.2. Casamento para mínima figura de ruído

3.1.3. Considerações de linearidade

3.1.4. Outras considerações

3.1.5. Figuras de mérito

3.2. Metodologia para otimização do compromisso ruído-ganho-linearidade-potência dissipada-casamento

3.2.1. Análise de compromisso ruído-potência dissipada

3.2.2. Análise de compromisso ruído-ganho

3.2.3. Análise de compromisso linearidade-potência dissipada

3.2.4. Compromisso ruído-linearidade

4. Implementação de um LNA

4.1. Projeto de LNA com o método proposto

4.2. Simulações

4.3. Resultados experimentais

5. Conclusões

A. Apêndice. Especificações

B. Apêndice. Parâmetros do processo

Capítulo 2

Aspectos teóricos

O êxito de um projeto depende da priorização que se dê a cada uma das atividades e componentes que o conformam. Conhecer a influência de cada uma das variáveis e selecionar as mais importantes para otimização, indicarão um método adequado de projeto.

O fraco sinal recebido na antena num sistema de recepção sem fio requer sua amplificação para uma adequada detecção e posterior processamento. O LNA é o bloco encarregado de cumprir esta função com um desempenho imposto pelas especificações do sistema. Desta forma, para conhecer a influência das variáveis de especificação de um LNA em um sistema de recepção sem fio, é necessário fazer uma revisão das especificações do sistema e do desempenho dos dispositivos a serem usados (ver apêndices A e B, respectivamente).

Conhecidos os requerimentos do LNA e suas influências num sistema receptor, um passo necessário na determinação de uma metodologia é definir o espaço de projeto em função da topologia que melhor encaixe aos requerimentos. Para fornecer um marco de trabalho, a seção 2.1 apresenta uma revisão dos trabalhos de LNAs realizados e uma análise das topologias propostas do ponto de vista de desempenho. Mediante comparação é selecionada uma topologia e conseqüentemente, a estratégia aproximada de projeto é proposta na seção 2.2.

2.1 Trabalhos publicados

Os primeiros LNAs foram implementados em tecnologias diferentes a CMOS (Bipolar, AsGa, BiCMOS) e com eles as estratégias de projeto, as quais dependiam da seleção de um dispositivo (com geometria fixa) e, do circuito de polarização e casamento de impedância, para obter o melhor desempenho em função das especificações. Como essas tecnologias apresentam boas características AC operando a altas frequências (RF), o maior interesse dos projetistas é fazer o casamento para máxima transferência de potência sem degradar o desempenho de ruído. Com esse interesse, diferentes arquiteturas têm sido apresentadas para fazer o casamento na entrada, conforme mostra a figura 2.1 usando GaAs FET.

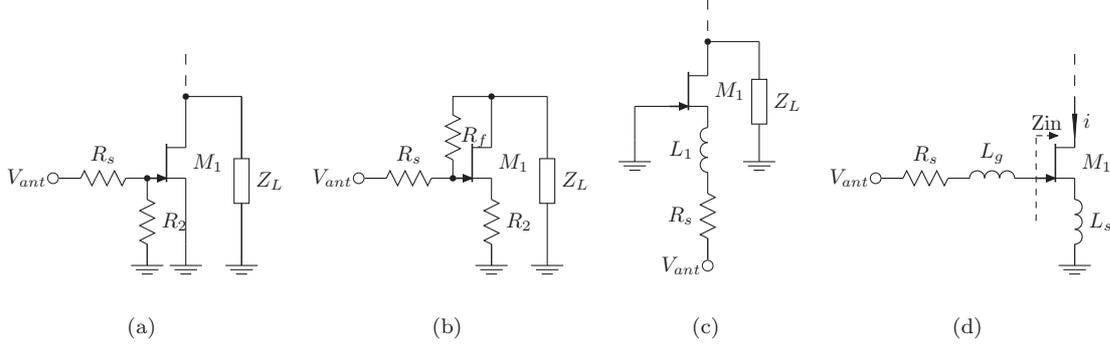


Figura 2.1: Arquiteturas para casamento de impedância na entrada com AsGa FET: (a) Fonte comum com casamento resistivo; (b) Fonte comum com realimentação; (c) Porta comum; (d) Fonte comum degenerada com indutor na fonte do transistor.

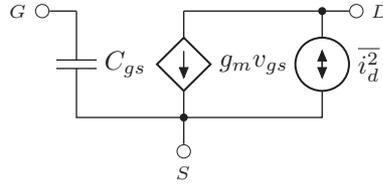


Figura 2.2: Modelo simples do transistor MOS em saturação com fonte de ruído no canal

2.1.1 Casamento para mínimo fator de ruído

Os projetistas em CMOS, aproveitando a experiência dos trabalhos implementados em AsGa, usaram as mesmas topologias para testar o desempenho do LNA em CMOS. A topologia de fonte comum com casamento resistivo da figura 2.1(a) foi usada em [23]. O uso de um resistor para casar a entrada degrada tanto o ruído como o ganho devido ao ruído térmico adicionado (veja seção B.3) e a atenuação do sinal de duas vezes para $R_2 = R_s$ na entrada. Uma aproximação do fator de ruído F , desprezando o ruído induzido na porta e usando o modelo simples de baixa frequência mostrado na figura 2.2¹ [24] (para uma definição das variáveis usadas veja apêndice B), pode ser expresso por:

$$F \geq 2 + \frac{4\gamma g_{d0}}{g_m^2 R_s} \quad (2.1)$$

A segunda topologia, usada em [25] é a fonte comum com realimentação, figura 2.1(b). Uma característica deste amplificador é a alta banda conseguida e, como consequência a alta dissipação de potência, o que em aplicações portáteis não é atrativo. O resistor R_f usado para a realimentação gera ruído térmico o que degrada também o fator de ruído expresso como [26] (desprezando o ruído induzido na porta):

$$F \geq 1 + \left(\frac{G_s + G_f}{g_m - G_f} \right)^2 \gamma g_{d0} R_s + \left(\frac{G_s + G_f}{g_m - G_f} \right)^2 R_s G_f \quad (2.2)$$

¹Se despreza C_{gd} e r_0 ($1/g_d$) para simplificar os cálculos, o qual é válido desde que a resistência de saída esteja em paralelo e seja menor que r_0 , tanto para um circuito casado na saída como para o caso da conexão a um transistor em cascata.

onde G_s , G_f são as condutâncias dos resistores R_s (resistência da fonte) e R_f respectivamente.

A figura 2.1(c) aproveita a conductância vista desde a fonte $\approx g_m$ para fazer o casamento [3], o que com uma seleção das dimensões do dispositivo e polarização adequadas se pode prover uma resistência de 50Ω . O fator de ruído para esta topologia, assumindo casamento, pode ser expresso como:

$$F \geq 1 + \gamma g_{d0} R_s \quad (2.3)$$

analisando esta equação e comparando com as equações 2.1-2.2, é fácil ver que a topologia de porta comum tem melhor desempenho de ruído.

Outra topologia bastante usada com AsGa LNAs é a fonte comum degenerada por fonte com indutor (figura 2.1(d)), a qual também têm sido empregada em CMOS [4, 5, 7, 8, 9, 10]. Seu grande uso deve-se ao casamento da impedância de entrada sintonizado sem usar elementos resistivos geradores de ruído térmico. Uma análise simples para a impedância de entrada usando transistor MOS (figura 2.3(a) e seu respectivo modelo simplificado da figura 2.3(b), mostra que

$$i_i = v_{gs} \cdot sC_{gs} \quad \text{com} \quad s = jw; \quad (2.4)$$

$$v_{ant} = i_i \cdot sL_g \cdot i_i + \frac{i_i}{sC_{gs}} + sL_s \left(i_i + g_m \cdot \frac{i_i}{sC_{gs}} \right) \quad (2.5)$$

$$v_{ant} = i_i \left(L_s \cdot \frac{g_m}{C_{gs}} + s(L_g + L_s) + \frac{1}{sC_{gs}} \right) \quad (2.6)$$

onde v_{ant} é tensão de saída da antena e vista na entrada do LNA, e com L_s , L_g e C_{gs} calculados para estar em ressonância à frequência $w = w_0$, ou seja, $s(L_g + L_s) + \frac{1}{sC_{gs}}$ será igual a zero, a impedância de entrada pode ser escrita como:

$$Z_{in} = \frac{g_m}{C_{gs}} \cdot L_s \quad (2.7)$$

$$Z_{in} \approx w_T \cdot L_s \quad (2.8)$$

onde w_T é a frequência de ganho unitário de corrente e calculada na seção B.1.

Deve-se notar que o cálculo anterior é feito desprezando os valores das resistências associadas aos indutores (as quais são consideráveis em indutores *on-chip*) e a resistência de folha da porta, veja seção B.2. O fator de ruído para esta topologia usando o modelo da figura 2.2 é dado por [5]:

$$F \geq 1 + \frac{w_0^2}{w_T^2} \gamma g_{d0} R_s \quad (2.9)$$

o que mostra que o desempenho de ruído é melhor que das outras topologias desde que w_T seja consideravelmente maior que a frequência de operação w_0 .

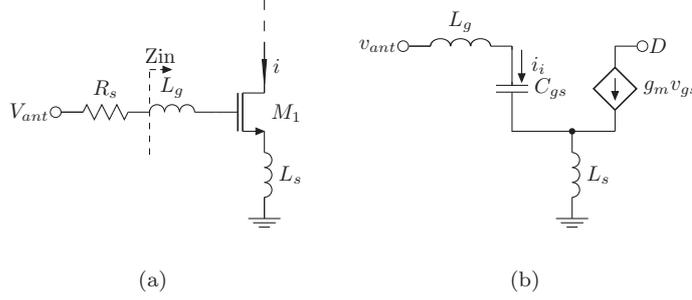


Figura 2.3: Configuração degenerada por fonte com transistor MOS. (a) Circuito. (b) Modelo simplificado para o cálculo de Z_{in} .

As topologias anteriores têm como propósito casar a impedância de entrada para máxima transferência de potência visando não degradar a figura de ruído. Entretanto, outros projetistas têm ajustado a entrada para a impedância que minimiza a figura de ruído usando a teoria clássica de ruído desenvolvida por Rothe em [17], com a qual para um dispositivo ruidoso de duas portas com fontes de ruído correlacionadas, o fator de ruído é expresso como:

$$F = 1 + 2(G_{opt} + G_c)R_n + \frac{[(G_s - G_{opt})^2 + (B_s - B_{opt})^2] R_n}{G_s} \quad (2.10)$$

onde R_n é a resistência ruidosa associada ao circuito, G_c é a condutância associada as fontes de ruído correlacionadas e $G_s + jB_s = Y_s$ é admitância da entrada do circuito que otimizada a $Y_{opt} = G_{opt} + jB_{opt}$ produz a mínima figura alcançável expressada como:

$$F_{min} = 1 + 2(G_{opt} + G_c)R_n \quad (2.11)$$

A equação 2.11 é a mínima figura de ruído que se pode obter de um dispositivo e conjunto com as variáveis da equação 2.10 R_n , G_{opt} , B_{opt} , são chamados os parâmetros de ruído de um dispositivo e têm sido usados pelos projetistas em microondas para encontrar a impedância que obtenha a mínima figura de ruído de um dispositivo com geometria fixa [27].

Quando a equação 2.10 é aplicada para transistores FETs encontra-se os seguintes parâmetros de ruído [28]:

$$G_c \approx 0 \quad (2.12)$$

$$B_c \equiv w_0 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (2.13)$$

$$R_n \equiv \frac{\gamma g_{d0}}{g_m^2} \quad (2.14)$$

$$G_u \equiv \frac{\delta w_0^2 C_{gs}^2 (1 - |c|^2)}{5g_{d0}} \quad (2.15)$$

onde G_u é a conductância associada às fontes de ruído descorrelacionadas, c é o coeficiente de correlação das fontes de ruído e $\alpha = \frac{g_m}{g_{d0}}$. Assim que G_{opt} e B_{opt} na equação 2.10 são:

$$B_{opt} = -B_c \equiv -w_0 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (2.16)$$

$$G_{opt} = \sqrt{\frac{G_u}{R_n} + G_c^2} \equiv \alpha w C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}, \quad (2.17)$$

daí, que a figura mínima de ruído para $Y_s = Y_{opt}$ num transistor MOS será:

$$F_{min} = 1 + 2(G_{opt} + G_c)R_n \equiv 1 + \frac{2w}{\sqrt{5}w_T} \sqrt{\gamma\delta(1 - |c|^2)} \quad (2.18)$$

A equação 2.18 mostra que quanto maior seja a relação w_T/w_0 , menor é o fator mínimo de ruído, embora para dispositivos de canais mais curto ha uma melhora no desempenho de ruído. No entanto, tem-se encontrado experimentalmente que as variáveis γ e δ aumentam com a redução do canal; infelizmente é desconhecida uma relação precisa para γ e δ em função do escalonamento (veja seção B.3 no apêndice B). Outra conclusão que se pode tirar da equação 2.18 é a necessidade de modelar o ruído de porta, desde que para $\delta = 0$ não existe contribuição de ruído pelo transistor, o que não é fisicamente possível.

É interessante destacar que não pode existir um casamento que maximize a transferência de potência e minimize a figura de ruído simultaneamente, devido a que a susceptância de entrada que cancela a susceptância de correlação de ruído B_c é diferente da susceptância B_s para máxima transferência de potência. Esta última é essencialmente indutiva e está relacionada pela rede $L_s + L_g$ e $R_{in} = R_s$ da entrada e fazendo a análise da admitância da rede de entrada se obtém a expressão da susceptância:

$$\begin{aligned} Y_s &= \frac{1}{R_s} + \frac{1}{jw(L_s + L_g)} \\ Y_s &= \frac{jw(L_s + L_g) + R_s}{R_s jw(L_s + L_g)} \\ Y_s &= G_{Rs} - \frac{j}{w(L_s + L_g)} \quad \text{com } j^{-1} = -j \\ \rightarrow B_s &= -\frac{1}{w(L_s + L_g)} = -wC_{gs}, \text{ em ressonancia, } w^2 = \frac{1}{C_{gs}(L_g + L_s)}, \end{aligned} \quad (2.19)$$

por conseguinte desde a equação 2.16, $B_s \neq B_{opt}$.

Goos [20] propõe uma metodologia que não é muito diferente das já estabelecidas: ele casa primeiro a rede de entrada usando o critério de máxima potência (50Ω) mediante a seleção de uma geometria do transistor de entrada M1, a uma polarização imposta pela dissipação de potência pré-definida e com L_s ajustado para obter 50Ω na parte real, e L_g ajustado para cancelar a parte imaginária da impedância de entrada. Variações de L_s e dos pontos de polarização são feitas para observar o compromisso da impedância com

a mínima figura de ruído com respeito à condição da máxima transferência de potência, para depois selecionar um valor que esteja próximo aos dois pontos de casamento.

Uma outra aproximação experimental é feita por Leorux em [19], onde mediante uma seleção de R_{in} menor aumenta o desempenho de ruído, mesmo com menor potência absorvida na entrada pelo descasamento. Leroux mostra que a potência pode ser usada mais eficientemente para gerar corrente na saída. Esta aproximação compromete o coeficiente de reflexão na entrada e a tolerância de impedâncias de entrada acima de 50Ω .

2.1.2 Considerando linearidade

Os resultados de linearidade (P_{IIP3} e P_{1dB}) em estratégias baseadas na otimização de ruído não são tão satisfatórios desde que estes apenas cumprem com as especificações, não permitindo uma reprodução confiável na hora de multiplicar os dispositivos num processo CMOS padrão com variações de processo consideráveis, além de serem estratégias que não permitem estimar o desempenho de linearidade. A linearidade não tem sido usada como parâmetro direto de projeto mas sim, é encaixada nas especificações mediante desvios da variável otimizada ou incrementos de potência.

A tendência de projetar sem ter em conta a estimação de linearidade deve-se a dificuldade de usar os modelos existentes para prever a distorção. O projeto de circuitos RF onde a linearidade é uma especificação exigente (PA, mixer, buffers), têm forçado o estudo de modelos para a estimação da não-linearidade.

Um LNA com alta linearidade têm sido realizado em [21] usando uma técnica de cancelamento dos componentes de terceiro ordem. Para isso se requer que exista uma entrada auxiliar (y_{aux}) com β vezes o ganho à entrada do sinal principal (y_{main}). Uma melhor explicação da técnica é usando o resultado para os componentes de terceira ordem e primeira ordem da expansão de series de Taylor na equação A.19:

$$y_{main}(x) = Ax + Ak_3x^3 \quad (2.20)$$

$$y_{aux}(\beta x) = A\beta x + Ak_3\beta^3x^3 \quad (2.21)$$

$$y(x) = y_{main}(x) - \left(\frac{1}{\beta^3}\right) \cdot y_{aux}(\beta x) = A\beta x + Ak_3\beta^3x^3 \quad (2.22)$$

$$y(x) = A\left[1 - \left(\frac{1}{\beta^2}\right)\right]x, \quad (2.23)$$

onde A é o ganho fundamental do circuito e x o sinal de entrada. O ganho resultante é reduzido, além de que se requer uma potência adicional para o circuito auxiliar.

Outras técnicas têm sido propostas em [22] e [29], mas estas não associam o desempenho de ruído com a linearidade.

2.1.3 Outras considerações

As topologias apresentadas na seção anterior, podem ser implementadas tanto em arquitetura de entrada simples ou diferencial. Com o intuito de avaliar as características

que cada uma apresenta, é feito uma análise em função das vantagens e desvantagens do uso da arquitetura diferencial com respeito à arquitetura de entrada simples.

Considerando o modelo da figura 2.2, se pode achar uma relação simples do ganho do circuito de arquitetura simples da figura 2.4(a), assim:

$$i_o \approx g_m v_{gs} \quad (2.24)$$

$$|v_o| \approx g_m v_{ant} R_L; \quad \text{com } v_{ant} = v_{gs} \quad (2.25)$$

$$|G_v| = \frac{|v_o|}{v_{ant}} \approx g_m R_L \quad (2.26)$$

O circuito da figura 2.4(b), é a versão diferencial do circuito da figura 2.4(a). O ganho deste circuito pode ser expressado como:

$$\begin{aligned} |G_{vd}| &\approx \frac{|v_{o1} - v_{o2}|}{v_{ant}} \\ &\approx \frac{gm' \left(\frac{v_{ant}}{2}\right) R_L - gm' \left(-\frac{v_{ant}}{2}\right) R_L}{v_{ant}} \\ &\approx \frac{2gm' v_{ant} R_L}{2v_{ant}} \end{aligned} \quad (2.27)$$

e desde que os transistores estão em forte inversão, uma aproximação para g'_m se pode escrever como:

$$g'_m \approx \sqrt{2\mu_n W / LC_{ox} I / 2} \rightarrow g'_m = \frac{g_m}{2} \quad (2.28)$$

então, para que a arquitetura diferencial tenha o mesmo ganho em tensão da simples é necessário ter uma corrente de polarização dobrada, apresentando assim uma dissipação dois vezes maior que a simples.

Na arquitetura diferencial é ainda necessário usar um *balun* entre a antena e a entrada do LNA o que aumenta o número de componentes e compromete a integração *on-chip*.

O desempenho na arquitetura diferencial é menor que na arquitetura simples[30], o que é intuitivamente válido pela presença de um transistor adicional no caminho do sinal, no entanto, a arquitetura diferencial completamente balanceada elimina o ruído de modo comum e os harmônicos de ordem par². A arquitetura diferencial se torna indispensável em topologias que precisam uma alta rejeição de modo comum.

2.2 Metodologia de projeto, proposta

Revisadas as topologias usadas na literatura e com o intuito de manter o casamento de impedâncias nas terminações, dissipação de potência baixa, melhor desempenho de ruído,

²Extraindo só os componentes de segundo ordem da equação A.19 e desde que $v_o = v_{o1} - v_{o2} \approx gm' v_{ant} / 2 - gm' (-v_{ant} / 2)$, $v_o = 0$ para os termos de ordem par de v_{ant} .

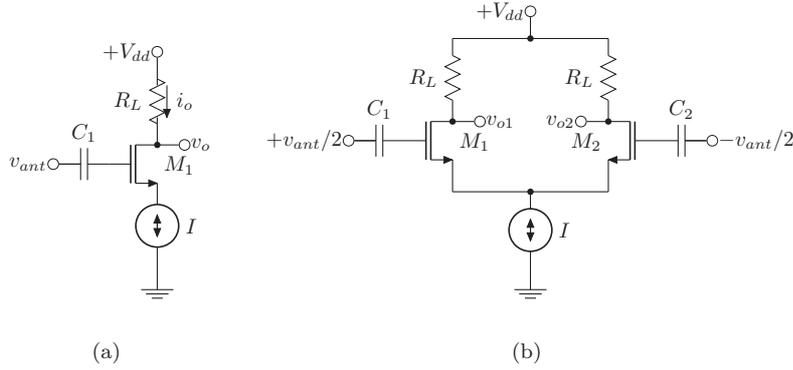


Figura 2.4: Amplificador fonte comum. (a) Arquitetura simples. (b) Arquitetura diferencial.

maior integração *on-chip*, ganho aceitável e baixa distorção³, será usada a arquitetura de saída simples e topologia de fonte comum degenerada em fonte com indutor para basear nossa metodologia. Por outro lado, durante o desenvolvimento da estratégia de projeto e segundo os resultados que se obtenham poderão existir variações na topologia.

Para definir o espaço de projeto, é necessário encontrar expressões analíticas que estimem a impedância de entrada, ganho, dissipação de potência, desempenho de ruído e linearidade do circuito. Já o isolamento reverso pode ser melhorado usando um transistor em cascata (figura 2.5) pois este reduz o efeito Miller introduzido pela capacitância porta dreno C_{gd} do transistor de entrada.

Desde que o transistor em cascata M_2 não contribui consideravelmente ao ganho, impedância de entrada e ao ruído do circuito [5], a figura 2.5 pode ser simplificada no circuito equivalente da figura 2.6 com suas respectivas fontes de ruído (Para detalhes referase à seção B.3 no apêndice B). A análise da equação 2.6 pode ser aplicada para a impedância do circuito da figura 2.6 inserindo as resistências series associadas à fonte de entrada R_s , ao indutor de porta R_{Lg} , indutor de fonte R_{Ls} e resistência de porta r_g do transistor M_1 ; a impedância de entrada em ressonância fica:

$$Z_{in} = R_s + R_{Lg} + R_{Ls} + r_g + \frac{g_m}{C_{gs}} \cdot L_s \quad (2.29)$$

O ganho de corrente pode ser encontrado desde o modelo simplificado da figura 2.7(b),

³Feng [31] apresenta uma comparação do comportamento não linear das topologias já revisadas e mostra que a topologia de fonte comum tem um bom desempenho. A comparação é feita mediante a estimativa de $IM3$ usando a aproximação de series de Taylor.

segundo a seguinte análise:

$$i = i_o = g_m v_{gs} \quad (2.30)$$

$$i_i = v_{gs} \cdot j\omega C_{gs} \quad (2.31)$$

$$v_{in} = Z_{in} \cdot i_i = Z_{in} v_{gs} j\omega C_{gs} \quad (2.32)$$

$$i_o = g_m \cdot \frac{v_{in}}{Z_{in} j\omega C_{gs}}$$

$$\rightarrow |G_i| = \frac{g_m}{Z_{in} \omega C_{gs}} \quad (2.33)$$

e usando a aproximação da equação 2.8 e fazendo $R_{in} = R_s + R_{Lg} + R_{Ls} + r_g$ temos,

$$|G_i| = \frac{g_m}{(\omega_T L_s + R_{in}) \omega C_{gs}} \quad (2.34)$$

$$= \frac{\omega_T}{(R_s + R_{in}) \omega} \quad (2.35)$$

$$\approx \frac{\omega_T}{2R_s \omega}, \quad \text{com } R_{Lg} + R_{Ls} + r_g \approx 0 \quad (2.36)$$

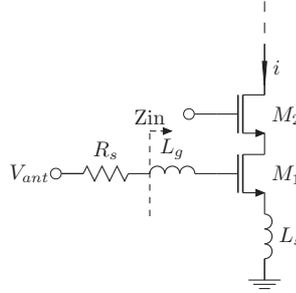


Figura 2.5: Topologia fonte comum com transistor em cascata

2.2.1 Análise do fator de ruído

Para a análise do fator de ruído simplificado usa-se o modelo da figura 2.7(a) com as fontes de ruído do circuito referidas à entrada (2.8(a)). A transformação de parâmetros mediante o uso da matriz $ABCD$ no modelo AC simplificado do transistor (figura 2.7(b)) é de utilidade para transferir a fonte de ruído do canal $\overline{i_{n,d}}$ à entrada, onde

$$\begin{bmatrix} v_{in} \\ i_i \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_{out} \\ i_o \end{bmatrix}$$

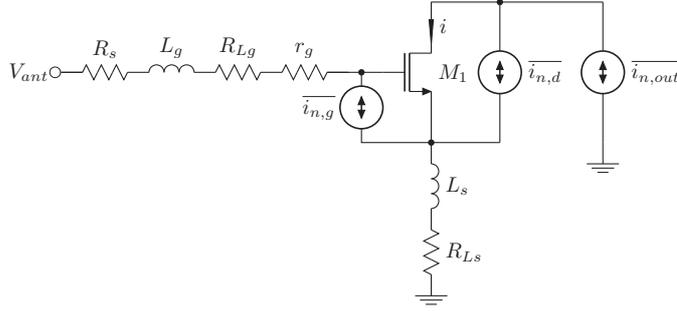


Figura 2.6: Circuito equivalente para análise de ruído

com

$$v_{in} = Av_{out} + Bi_o; \quad i_i = Cv_{out} + Di_o$$

$$A = \left. \frac{v_{in}}{v_{out}} \right|_{i_o=0} = 0; \quad B = \left. \frac{v_{in}}{i_o} \right|_{v_{out}=0} = \frac{v_{gs}}{-g_m v_{gs}} = -\frac{1}{g_m};$$

$$C = \left. \frac{i_i}{v_{out}} \right|_{i_o=0} = 0; \quad D = \left. \frac{i_i}{i_o} \right|_{v_{out}=0} = \frac{v_{gs} j\omega C_{gs}}{-g_m v_{gs}} = -\frac{j\omega C_{gs}}{g_m};$$
(2.37)

e referendo $\overline{i_{n,d}}$ à entrada usando B e D da transformação anterior:

$$v_{in} = \frac{i_o}{g_m} \rightarrow \overline{v_{n,di}} = \frac{\overline{i_{n,d}}}{g_m} \quad (2.38)$$

$$i_i = i_o \frac{-j\omega C_{gs}}{g_m} \rightarrow \overline{i_{n,di}} = \frac{\overline{i_{n,d}} j\omega C_{gs}}{g_m} \quad (2.39)$$

peço que o modelo da figura 2.7(a) se pode representar com o modelo equivalente da figura 2.8(b) sendo

$$\overline{v_{n,in}} = \frac{\overline{i_{n,d}}}{g_m} \quad (2.40)$$

$$\overline{i_{n,in}} = \frac{\overline{i_{n,d}} j\omega C_{gs}}{g_m} + \overline{i_{n,gc}} + \overline{i_{n,gu}} \quad (2.41)$$

com $\overline{i_{n,gc}}$ e $\overline{i_{n,gu}}$ sendo os componentes correlacionados e descorrelacionados do ruído de porta respectivamente (para detalhes veja seção B.3), de modo que usando a definição de fator de ruído com as fontes de ruído referidas à entrada, temos:

$$F = \frac{v_{ni,R_{in}} + v_{ni,\overline{v_{in}}} + v_{ni,\overline{i_{in}}} + v_{ni,R_{out}}}{v_{ni,R_s}} \quad (2.42)$$

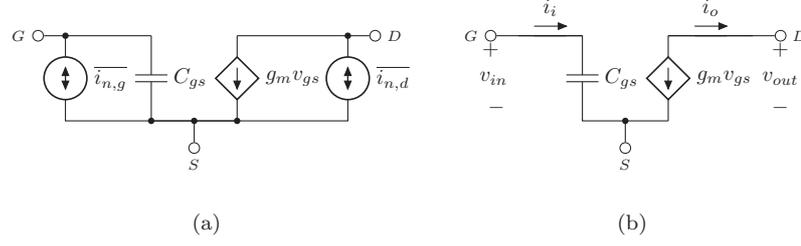


Figura 2.7: Modelo das fontes de ruído de canal e de porta. (a) Modelo típico. (b) Modelo simplificado do transistor como circuito de dois portos.

desde que a rede de entrada é um circuito RLC serie em ressonância:

$$\begin{aligned}
 v_{ni,\bar{i}_{in}} &= \bar{i}_{n,in} \left[R_{in} + j \frac{1}{\omega C_{gs}} \right] \\
 &= \bar{i}_{n,in} R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right)
 \end{aligned} \tag{2.43}$$

$$\begin{aligned}
 &= \bar{i}_{n,d} \frac{j\omega C_{gs}}{g_m} R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right) + (\bar{i}_{n,gc} + \bar{i}_{n,gu}) R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right) \\
 &= \bar{i}_{n,d} \frac{j\omega C_{gs}}{g_m} R_{in} - \frac{\bar{i}_{n,d}}{g_m} + (\bar{i}_{n,gc} + \bar{i}_{n,gu}) R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right)
 \end{aligned} \tag{2.44}$$

e expressando o total de ruído contribuído pelo transistor como $\overline{v_{ni,T}}$

$$\overline{v_{ni,T}} = v_{ni,\bar{i}_{in}} + v_{ni,\bar{v}_{in}} \tag{2.45}$$

$$= \bar{i}_{n,d} \frac{j\omega C_{gs}}{g_m} R_{in} + (\bar{i}_{n,gc} + \bar{i}_{n,gu}) R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right) \tag{2.46}$$

passando os termos da equação 2.46 a valores meios quadráticos e substituindo as equações B.17, B.18, em 2.46, considerando que os termos correlacionados $(\bar{i}_{n,gc}, \bar{i}_{n,d})$ são somados antes de encontrar a potência espectral, se pode escrever:

$$\begin{aligned}
 \overline{v_{ni,T}^2} &= \left| \sqrt{4KT\gamma g_{d0}} \cdot \frac{j\omega C_{gs}}{g_m} R_{in} + \sqrt{4KT\delta g_g |c|^2} \cdot R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right) \right|^2 \cdot \Delta_f + \\
 &\quad \left| \sqrt{4KT\delta g_g (1 - |c|^2)} \cdot R_{in} \left(1 + j \frac{1}{\omega C_{gs} R_{in}} \right) \right|^2 \cdot \Delta_f
 \end{aligned} \tag{2.47}$$

fazendo as operações necessárias e levando em conta que as fontes de ruído são termos resistivos ($\mathbb{R} \left\{ \overline{v_{ni,T}^2} \right\}$):

$$\overline{v_{ni,T}^2} = 4KT \left[\gamma g_{d0} \left(\frac{\omega C_{gs} R_{in}}{g_m} \right)^2 + 2|c| \frac{\omega C_{gs} R_{in}}{g_m} \sqrt{\frac{\gamma\delta}{5}} + \frac{\delta \omega^2 C_{gs}^2 R_{in}^2}{5g_{d0}} + \frac{\delta}{5g_{d0}} \right] \Delta_f \tag{2.48}$$

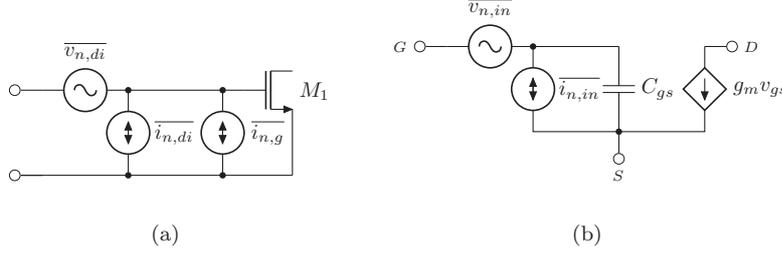


Figura 2.8: (a) Transistor de entrada com as fontes de ruído referidas à entrada. (b) Modelo com as fontes de ruído referidas à entrada.

e considerando que $\alpha = \frac{g_m}{g_{d0}}$ e $w_T = \frac{g_m}{C_{gs}}$

$$\overline{v_{ni,T}^2} = 4KT \left[\gamma g_{d0} \left(\frac{w}{w_T} \right)^2 R_{in}^2 \left(1 + \frac{\delta \alpha^2}{5\gamma} \right) + 2|c| \frac{w R_{in}}{w_T} \sqrt{\frac{\gamma \delta}{5}} + \frac{\delta}{5g_{d0}} \right] \Delta_f \quad (2.49)$$

O fator de ruído total desde a equação 2.42 se pode ser reescrito como:

$$F = 1 + \frac{R_{Lg}}{R_s} + \frac{R_{Ls}}{R_s} + \frac{r_g}{R_s} + 4 \frac{R_s}{R_{out}} \left(\frac{w}{w_T} \right)^2 + \gamma g_{d0} \left(\frac{w}{w_T} \right)^2 \frac{R_{in}^2}{R_s} \left(1 + \frac{\delta \alpha^2}{5\gamma} \right) + 2|c| \frac{w}{w_T} R_{in}/R_s \sqrt{\frac{\gamma \delta}{5}} + \frac{\delta}{5g_{d0} R_s} \quad (2.50)$$

onde $v_{n,R_{out}}$ não é referenciado à entrada e deixado na saída para facilitar os cálculos, portanto requer-se levar à saída o ruído gerado pela resistência da fonte usando a equação do ganho aproximado por 2.36, pelo que o fator de ruído na saída devido à R_{out} pode-se ser expresso como:

$$F \overline{v_{no,R_{out}}} \approx \frac{4KT R_{out}}{4KT R_s \cdot \frac{w_T^2 R_{out}^2}{4R_s^2 w^2}} = 4 \frac{R_s w^2}{R_{out} w_T^2} \quad (2.51)$$

Da equação 2.50 pode-se observar que o uso de indutores *on-chip* os quais são de baixo Q [30], degradam o fator de ruído, pois as resistências associadas em serie R_{Lg} , R_{Ls} são relativamente altas. Por conseguinte, projetar L_g e L_s com valores pequenos é necessário para não ter uma resistência parasita grande; logo, C_{gs} deve ser maior, o qual deixa um W grande⁴. Da mesma forma, a resistência de porta deve ser consideravelmente menor a R_s para não degradar o fator de ruído. Outra observação importante pode-se tirar, se o ruído de porta é desprezado, ou seja $\delta = 0$, o fator de ruído resultante é o mesmo da equação 2.9 com as resistências parasitas desprezadas; o que leva indicar que a contribuição de ruído de porta deve ser levada em conta.

O componente proporcional a δ do sexto termo da equação 2.50 e do penúltimo termo, depois de algumas substituições experimentais podem ser desprezados notando que eles são consideravelmente menores que outros termos. Está é uma suposição otimista, desde que não se considera a variação de δ e γ em função da polarização em transistores de canal

⁴Esta estratégia ajuda a poupar área, desde que indutores com maior indutância ocupam mais área em relação aos transistores.

curto.⁵ Na equação 2.46 é desprezado o termo correlacionado, o fator de ruído obtido é o mesmo que se obtém com a simplificação anterior, pelo que os termos acima mencionados devem-se à correlação das fontes de ruído. Após das simplificações e levando em conta que é considerada a estratégia de projeto para reduzir as resistências e que a R_{out} é bem maior que R_s , temos:

$$F \approx 1 + \gamma g_{d0} \left(\frac{w}{w_T} \right)^2 R_s + \frac{\delta}{5g_{d0}R_s} \quad (2.52)$$

Com a equação 2.52 e na procura de uma relação que indique as possibilidades de espaço de projeto, é necessário fazer alguns manuseios e expressar o fator de ruído em função de diferentes parâmetros, por o que se têm:

$$\begin{aligned} F &= 1 + \gamma g_{d0} R_s \left(\frac{w}{w_T} \right)^2 \left(1 + \frac{\delta}{5g_{d0}R_s} \frac{w_T^2}{w^2 \gamma g_{d0} R_s} \right) \\ &= 1 + \gamma g_{d0} R_s \left(\frac{w}{w_T} \right)^2 \left(1 + \frac{\delta \alpha^2}{5\gamma} \frac{1}{w^2 C_{gs}^2 R_s^2} \right) \\ &= 1 + \gamma g_{d0} R_s \left(\frac{w}{w_T} \right)^2 \left(1 + \frac{\delta \alpha^2}{5\gamma} Q_{in}^2 \right) \end{aligned} \quad (2.53)$$

$$= 1 + \frac{\gamma}{\alpha Q_{in}} \left(\frac{w}{w_T} \right)^2 \left(1 + \frac{\delta \alpha^2}{5\gamma} Q_{in}^2 \right) \quad \text{com } g_{d0} Q_{in} = \frac{g_m}{\alpha w C_{gs} R_s} = \frac{w_T}{\alpha w R_s} \quad (2.54)$$

onde o circuito de entrada é uma rede RLC serie em ressonância, com $Q_{in} = \frac{w(L_s+L_g)}{R_s} = \frac{1}{wR_s C_{gs}}$. Da equação 2.54 é possível obter um W ótimo para menor fator de ruído, fazendo:

$$\begin{aligned} \frac{dF}{dQ_{in}} &= 0 \quad \text{e com } F \text{ da forma } F = 1 + \frac{a}{Q} + abQ^2 \\ \frac{dF}{dQ_{in}} &= \frac{-a}{Q^2} + ab = 0; \quad \rightarrow Q = \sqrt{\frac{1}{b}} \\ Q_{in_{opt}} &= \sqrt{\frac{5\gamma}{\delta \alpha^2}} \end{aligned} \quad (2.55)$$

e substituindo por valores típicos ($\gamma = 2/3$, $\delta = 4/3$ em transistores de canal longo) e $\alpha \approx 1$ em canal curto, obtém-se um $Q_{in_{opt}}$ de 1.5811, e para $\alpha = 0.8$ (caso mais realista) $Q_{in_{opt}} \approx 2$. Assim, o comprimento de canal ótimo W_{opt} pode ser calculado usando:

$$Q = \frac{1}{wC_{gs}R_s} = \frac{1}{w2/3C_{ox}WLR_s} \quad (2.56)$$

$$\rightarrow W_{opt} = \frac{3}{2Q_{in_{opt}}wC_{ox}LR_s} \quad (2.57)$$

⁵Com o propósito de encontrar uma relação entre os parâmetros de ruído δ e γ e a polarização em transistores de canal curto, se projetaram transistores de diferente W em tecnologia $0.18 \mu\text{m}$ para sua respectiva caracterização.

A expressão de Q_{inopt} é igual para obtida no caso de casamento para mínima figura de ruído da equação 2.18 desprezando a correlação, onde a definição de Q como fator de qualidade de um circuito é $|\frac{B}{G}|$ (B a susceptância e G a conductância do circuito) e desde as equações 2.16 e 2.17, temos:

$$Q_{in_{c-opt}} = \left| \frac{B_{opt}}{G_{opt}} \right| = \frac{\sqrt{\frac{5\gamma}{\delta\alpha^2} + |c|}}{\sqrt{1 - |c|^2}} \quad (2.58)$$

logo, se a correlação não é desprezada e usando o valor dado por [28] para c ($j0.95$), os valores para $\alpha = 1$ e $\alpha = 0.8$, obtém-se um $Q_{in_{c-opt}} \approx 2.16$ e 2.58 respectivamente, indicando que o raciocínio feito é válido.

Com o intuito de revisar o comportamento do fator de ruído com o ganho e a dissipação de potência, mesmo para estabelecer valores pré-definidos à otimização, usa-se as equações do modelo do transistor MOS de primeiro ordem em saturação, e substituindo a equação 2.36, temos:

$$\frac{w_T}{w} = 2R_s G_i \quad (2.59)$$

$$\rightarrow F = 1 + \frac{\gamma}{\alpha Q_{in}} \left(\frac{1}{2R_s G_i} \right) \left(1 + \frac{\delta\alpha^2}{5\gamma} Q_{in}^2 \right) \quad (2.60)$$

$$F = 1 + \frac{2\gamma g_{d0} w v_{dd}}{3P_D Q_{in}} \left(1 + \frac{\delta\alpha^2}{5\gamma} Q_{in}^2 \right) \quad (2.61)$$

$$\text{com } g_m \approx \mu_n C_{ox} W/L(V_{od}) \text{ e } P_D = V_{dd} \cdot I_{ds} \approx V_{dd} \mu_n C_{ox} W/LV_{od}^2; \quad V_{od} = V_{gs} - V_t$$

assim, as equações 2.60, 2.61, indicam que a maior ganho e dissipação de potência do circuito, melhor desempenho de ruído se obtém. Da mesma forma, pode-se relacionar a potência dissipada e o ganho em função de um Q fixo, para estabelecer valores de potência e ganho adequados. Deve-se notar que o uso das equações de primeiro ordem da corrente de transistor permitem estimar o comportamento do fator de ruído com parâmetros de projeto, no entanto, o uso de equações de segundo ordem aproxima melhores resultados e relações de otimização.

2.2.2 Análise de linearidade

Esta seção pretende apresentar uma aproximação da estimação da distorção em função das variáveis de projeto, com o objetivo de situar a metodologia a propor no parâmetro de linearidade.

O LNA é um circuito de natureza não linear que recebe excitações fracas em sua entrada produzindo diferentes efeitos não desejados (veja seção A.2). Para a análise destes efeitos é comumente usado na literatura as series de Taylor as quais não consideram elementos com memória. Outra técnica para este análise é uso das series de Volterra, a qual não requer assumir elementos sem memória e permite a análise de elementos lineares e não lineares simultaneamente [32]. A seguir apresentaremos um resumo dos resultados obtidos na literatura usando as duas técnicas em LNA CMOS e como estes

podem ser usados na metodologia a propor. Embora, não exista uma estratégia precisa que relacione expressões de ruído e linearidade pretendesse fazer futuramente um análise mais detalhado das duas técnicas usadas para análise não linear, comparando e vendo se existe a necessidade de usar técnicas mais precisas.

Usando series de Taylor

Expressando a corrente do LNA (i na figura 2.5 ou I_{ds} de M1) em função da tensão de entrada (v_{ant}) da forma que a corrente é a variável de saída na equação A.16, e desde que o IIP3 é uma medida para estimar o comportamento não linear de um circuito, usa-se a equação A.25 para escrever [33]:

$$P_{IIP3} = \frac{8v_{sat}LV_{od}}{3\mu_1R_s} \left(1 + \frac{\mu_1V_{od}}{4v_{sat}L}\right) \left(1 + \frac{\mu_1V_{od}}{2v_{sat}L}\right)^2 \quad (2.62)$$

$$usando \quad I_{ds,sat} = WC_{ox}v_{sat} \frac{V_{od}^2}{V_{od} + L\epsilon_{sat}}; \quad (2.63)$$

$$v_{sat} = \frac{\mu_{eff}\epsilon_{sat}}{2}; \quad (2.64)$$

$$\mu_{eff} = \frac{u_0}{1 + \theta V_{od}} \quad (2.65)$$

onde ϵ_{sat} é a intensidade do campo magnético à velocidade de saturação v_{sat} . Note-se que é desprezado a contribuição de distorção da rede de entrada com uma capacitância de pad considerável. Da mesma forma, o transistor M2 não tem sido considerado desde que uma relação de linearidade para M2 não poderá ser associada às expressões encontradas para o fator de ruído. Assim, um análise aparte de linearidade deve ser feito para M2, tendo em conta que: como bloco em cascata do circuito de entrada, contribuirá mais à distorção, segundo a equação A.26.

Da equação 2.62 observa-se que entre maior seja V_{od} , melhor é o desempenho linear do circuito. Entretanto, o desempenho de ruído também melhora com o aumento de V_{od} , a dissipação de potência também aumenta, o que não é desejado. Assim, deverá relacionar-se a equação 2.62 com 2.61 para achar um compromisso adequado entre $IIP3$, F , P_D .

Usando series de Volterra

A series de Volterra aplicadas a sistemas não lineares foi desenvolvida por Norbert Wiener e depois usada para análise de circuitos não lineares [34]. Recentemente diferentes trabalhos têm usado as series de Volterra [29, 35, 36] em circuitos CMOS mostrando que existe uma melhor precisão na estimação da distorção.

Este trabalho pretenderá achar expressões que permitam relacionar os parâmetros de projeto aplicando series de Volterra, o que permitirá fazer uma comparação entre os resultados que se obtém usando series de Taylor.

Apêndice A

Especificações

Um sistema receptor sem fio deverá extrair e selecionar um sinal modulado desejado: o sinal com a portadora é convertido para um sinal com frequência menor e o sinal modulado (informação) é recuperado com a mínima adição de ruído e distorção. Comumente o desempenho do receptor é especificado pela sensibilidade, seletividade e distorção. A seguir detalharemos estes parâmetros.

A.1 Sensibilidade

A sensibilidade é a medida que quantifica a habilidade do receptor de responder a sinais fracos. Seu valor é especificado em unidades de potência (dBm) e indica o mínimo sinal detectável, tal que a relação sinal ruído (SNR_{out}) à saída seja suficiente para uma aplicação¹. A degradação da SNR é devido ao ruído adicionado pelos diferentes blocos do receptor. A medida dessa degradação é o fator de ruído definido por Friis em [37], como:

$$F = \frac{SNR_{in}}{SNR_{out}} \quad (\text{A.1})$$

onde SNR_{in} é a relação entre a potência do sinal entregue na entrada do primeiro bloco (depois da antena) e a potência de ruído nos terminais da entrada a qual se deve à resistência de entrada num receptor com casamento na entrada $R_{in} = R_s$ (R_s é a resistência da fonte do sinal de entrada); o fator de ruído pode ser reescrito como:

$$\begin{aligned} F &= \frac{\frac{P_{in}}{P_{R_s}}}{SNR_{out}} \\ \rightarrow P_{in} &= P_{R_s} \cdot F \cdot SNR_{out} \end{aligned} \quad (\text{A.2})$$

A potência total do sinal distribuído em toda a banda (B), é a integral da equação A.2 e mudando as unidades para dBm [38], temos (considerando $P_{R_s}, /, F, /, SNR_{out}$ constantes na banda B @ $R_s = R_{in}$):

¹Em sistemas digitais deve-se manter um nível de relação Bit/Erro (BER).

$$P_{in,min} \Big|_{dBm} = P_{R_s} \Big|_{dBm} + NF \Big|_{dB} + SNR_{out,min} \Big|_{dB} + 10 \log B \quad (A.3)$$

$$\text{com } NF = 10 \log F \quad (A.4)$$

$$\begin{aligned} P_{R_s} &= \frac{\overline{V_{n,in}^2}}{2^2 R_{in}} = \frac{4 K T R_s \Delta f}{4 R_{in}} = K T \Delta f \\ &= -173.8 dBm/Hz \end{aligned} \quad (A.5)$$

A equação A.4 é a definição da Figura de Ruído (NF) em unidades de dB. Da equação A.3 para uma sensibilidade especificada e a uma relação de SNR na saída que cumpre com mínimos requerimentos do BER para um padrão, pode-se calcular a NF total do sistema. Com o intuito de conhecer a influência de NF do LNA e desde que o receptor é um sistema de blocos em cascata, é possível expressar o ruído total em função de cada uma das contribuições dos blocos [37]. Usando a equação A.2 e com $SNR_{out} = P_{out}/N_{out}$, P_{in} a potência entregue na entrada, P_{out} potência de saída, N_{in} , N_{out} ruído na entrada e ruído na saída do sistema, tem-se:

$$\begin{aligned} F &= \frac{P_{in}}{K T B} \frac{N_{out}}{P_{out}} \\ &= \frac{1}{G} \frac{N_{out}}{K T B} \quad \text{com } G = \frac{P_{out}}{P_{in}} \end{aligned} \quad (A.6)$$

onde $N_{out} = F G K T B$ é a potência de ruído na saída, a qual inclui o ruído da fonte do sinal. A potência de ruído devido ao sistema está dada pela equação A.6 e pode ser escrita como:

$$N_{sys} = (F - 1) G K T B \quad [watts] \quad (A.7)$$

Aplicando o procedimento ao sistema em cascata da figura A.1, temos que a potência de ruído na saída do bloco 1, N_1 é:

$$N_1 = F_1 G_1 K T B \quad (A.8)$$

O ruído na saída do bloco 2 é o ruído da saída do bloco 1, multiplicando N_1 pelo ganho do bloco 2, mais o ruído introduzido pelo bloco 2:

$$N_2 = F_1 G_2 G_1 K T B \quad (A.9)$$

Escrevendo a equação A.7 considerando-se apenas a adição do bloco-2, tem-se:

$$N_2 - 1 = (F_2 - 1) G_2 K T B \quad (A.10)$$

assim, a potência total de ruído na saída do bloco 2 pode ser expressada por:

$$N_{21} = F_1 G_2 G_1 K T B + (F_2 - 1) G_2 K T B \quad (\text{A.11})$$

usando o mesmo procedimento com o bloco 3, o ruído adicionado por esse, temos:

$$N_3 - 1 = (F_3 - 1) G_3 K T B \quad (\text{A.12})$$

Usando a equação A.11 e a equação A.12, o ruído na saída do bloco 3 pode ser expressado como:

$$N_{31} = F_{31} G_3 G_2 G_1 K T B = F_1 G_3 G_2 G_1 K T B + (F_2 - 1) G_3 G_2 K T B + (F_3 - 1) G_3 K T B \quad (\text{A.13})$$

Da equação A.13 o fator de ruído dos três primeiros blocos pode ser expresso por:

$$F_{31} = F_1 + \frac{(F_2 - 1)}{G_1} + \frac{(F_3 - 1)}{G_1 G_2} \quad (\text{A.14})$$

logo, a equação A.14 pode ser generalizada por todos os blocos do sistema em cascata, como:

$$F_n = F_1 + \frac{(F_2 - 1)}{G_1} + \frac{(F_3 - 1)}{G_1 G_2} + \dots + \frac{(F_n - 1)}{\prod_{i=1}^n G_i} \quad (\text{A.15})$$

Analisando a equação A.15 pode ser observado que o fator de ruído é diminuído com o aumento do ganho de cada um dos estágios, mas especialmente do primeiro estágio, o LNA. O primeiro estágio também deverá ter um fator de ruído reduzido, desde que este (F_1) contribui diretamente com o fator de ruído total. Da mesma forma, se terá melhor sensibilidade para uma menor NF. Para obter um exemplo de cálculo do fator de ruído do LNA é necessário ter uma especificação aproximada dos ganhos e da contribuição de ruído dos diferentes estágios.

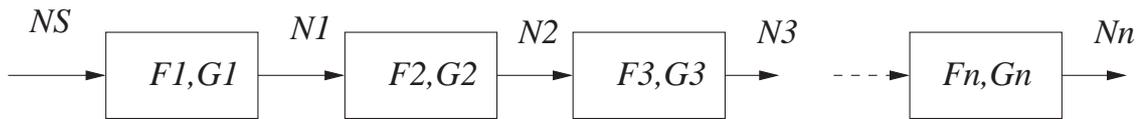


Figura A.1: Sistema em cascata para análises de ruído

A.2 Distorção

A distorção é a alteração de sinais na banda desejada por sinais não desejadas. A distorção é produzida pelas características não lineares dos dispositivos do sistema. Um sistema não linear, sem memória², pode ser aproximado usando a expansão de séries de Taylor relacionando a tensão de saída com as variáveis de entrada:

²Num sistema sem memória os sinais de saída não dependem dos valores passados da entrada. Desde que os diodos, transistores, capacitores, etc., são dispositivos com memória, uma melhor aproximação deve ser feita usando as séries de Volterra.

$$v_o(t) \approx k_1 v_i(t) + k_2 v_i^2(t) + k_3 v_i^3(t) + \dots \quad (\text{A.16})$$

Assumindo por simplicidade que os três primeiros termos da série são suficientes para representar o sistema e que o sinal de entrada está constituída por dois tons, como segue:

$$v_i(t) = A_1 \cos(w_1 t) + A_2 \cos(w_2 t) \quad (\text{A.17})$$

então, o correspondente sinal na saída poder ser escrito como:

$$v_o(t) \approx k_1 [A_1 \cos(w_1 t) + A_2 \cos(w_2 t)] + k_2 [A_1 \cos(w_1 t) + A_2 \cos(w_2 t)]^2 + k_3 [A_1 \cos(w_1 t) + A_2 \cos(w_2 t)]^3 \quad (\text{A.18})$$

Usando as expressões trigonométricas: $\cos^2 x = \frac{\cos(2x)+1}{2}$, $\cos^3 x = \frac{3\cos x + \cos(3x)}{4}$ e, depois de manusear os termos se obtém:

$$\begin{aligned} v_o(t) \approx & \frac{k_2}{2} (A_1^2 + A_2^2) + (k_1 A_1 + \frac{3}{4} k_3 A_1^3 + \frac{3}{2} k_3 A_1 A_2^2) \cos(w_1 t) + (k_1 A_2 + \frac{3}{4} k_3 A_2^3 + \\ & \frac{3}{2} k_3 A_1^2 A_2) \cos(w_2 t) + \frac{k_2 A_1^2}{2} \cos(2w_1 t) + \frac{k_2 A_2^2}{2} \cos(2w_2 t) + \\ & \frac{3}{4} k_3 A_1^3 \cos(3w_1 t) + \frac{3}{4} k_3 A_2^3 \cos(3w_2 t) + \frac{k_2 A_1 A_2}{2} \cos(w_1 - w_2)t + \\ & \frac{k_2 A_1 A_2}{2} \cos(w_1 + w_2)t + \frac{3}{4} k_3 A_1^2 A_2 \cos(2w_1 + w_2)t + \frac{3}{4} k_3 A_1^2 A_2 \cos(2w_1 - w_2)t + \\ & \frac{3}{4} k_3 A_1 A_2^2 \cos(2w_2 + w_1)t + \frac{3}{4} k_3 A_1 A_2^2 \cos(2w_2 - w_1)t \end{aligned} \quad (\text{A.19})$$

De A.19 pode-se observar que componentes adicionais (harmônicos) à fundamental e uma componente DC resultam. Os componentes de ordem par podem ser reduzidos mediante o uso de entrada diferencial num circuito. As componentes fundamentais dos tons w_1 e w_2 são $k_1 A_1 + \frac{3}{4} k_3 A_1^3 + \frac{3}{2} k_3 A_1 A_2^2$ e $k_1 A_2 + \frac{3}{4} k_3 A_2^3 + \frac{3}{2} k_3 A_1^2 A_2$, respectivamente, as quais são proporcionais ao ganho do circuito linear k_1 , a amplitude do sinal A_1 e ao fator de terceira ordem k_3 .

A.2.1 Ponto de compressão de 1dB

Um circuito amplificador que tem tendência em saturar começará a "comprimir" a componente fundamental, ou seja $k_3 < 0$, para níveis de entrada A_1 ou A_2 suficientemente altos. A compressão do sinal é quantificada mediante o ponto de compressão a 1dB. O ponto de compressão a 1dB é definido como o nível de entrada (A_{1-1dB} ou P_{1-1dB} segundo o caso) que causa uma redução de 1dB na potência de saída da fundamental em relação ao ganho linear. Considerando só um tom de entrada, o coeficiente da fundamental (w_1) da equação A.19 fica:

$$v_o \Big|_{w_1} = A_o \approx (k_1 + \frac{3}{4} k_3 A_1^2) \quad (\text{A.20})$$

e desde a definição do ponto de compressão se pode escrever:

$$20 \log \left| \frac{A_o}{A_1} \right| = 20 \left| \log \frac{k_1 A_1}{A_1} \right| - 1dB \quad (\text{A.21})$$

A equação A.20 se substitui na equação A.21 para calcular o ponto de compressão de 1dB:

$$\begin{aligned} 20 \log \left| k_1 + \frac{3}{4} k_3 A_{1-1dB}^2 \right| &= 20 \log |k_1| - 1dB \\ \log \left| k_1 + \frac{3}{4} k_3 A_{1-1dB}^2 \right| &= \log |k_1| + \log(0.89125) \\ k_1 + \frac{3}{4} k_3 A_{1-1dB}^2 &= 0.89125 k_1 \\ \frac{3}{4} k_3 A_{1-1dB}^2 &= -0.1087 k_1 \\ \rightarrow A_{1-1dB} &= \sqrt{0.145 \frac{k_1}{k_3}} \end{aligned} \quad (\text{A.22})$$

Para o cálculo aproximado do ponto de compressão é necessário conhecer a função de transferência de terceira ordem k_3 . Outro efeito que pode ser referenciado a partir da componente fundamental na saída é o "bloqueio". Para uma entrada consideravelmente maior da componente A_2 a qual representa o sinal de interferência com respeito a A_1 , ou seja $A_2 \gg A_1$, e como $k_3 < 0$ (efeito compressor de um amplificador), a função de transferência cairá para zero, ou seja, o sinal será bloqueado [38].

A.2.2 Intermodulação

Outro parâmetro para avaliar a linearidade de um circuito é a intermodulação, a qual é caracterizada pelos componentes de frequência que estão inter-modulando. Para o caso em que foram desprezados os termos de ordem maior a 3, os componentes de intermodulação (IM) são os obtidos na equação A.19. Os componentes de intermodulação de segunda ordem são os que têm frequências: $IM_2 : (w_1 \pm w_2)$ e os de terceira ordem com frequências $IM_3 : (2w_1 \pm w_2)$ e $(2w_2 \pm w_1)$. Desde que as frequências de interferência se devem em sua maior parte por sinais de canais próximos, o componente de $IM_2 : (w_1 - w_2)$ é pequeno e o componente $IM_2 : (w_1 + w_2)$ é muito alto; existirão entretanto, componentes de intermodulação de terceira ordem bem próximos ao sinal modulado desejado. Uma medida usada para avaliar a linearidade em função dos produtos de intermodulação de terceira ordem é o ponto de interseção de terceira ordem IP3. O ponto de interseção medido com referência na entrada ($IIP3$, pode ser medido em potência P_{IIP3} ou nível A_{IIP3}), é a potência de entrada (no caso $PIIP3$) para qual a potência de saída da fundamental (devido ao ganho linear k_1) é igual à potência de saída dos produtos de $IM3$. O ponto de interseção medido com referência na saída ($OIP3$), é a potência da saída para qual a potência de saída da fundamental (devido ao ganho linear k_1) é igual à potência de saída dos produtos de $IM3$.

O ponto de interseção de terceira ordem pode ser medido aplicando dois sinais na entrada que estejam com frequência próxima da portadora; tradicionalmente, a medida é feita com tons da mesma amplitude e variações na varredura das amplitudes dos sinais de entradas de igual tamanho³. Devido ao efeito compressor dos circuitos é necessário realizar uma interpolação dos pontos de nível mais alto, como se mostra na figura A.2. Deve-se ressaltar que o $IP3$ varia em função da diferença em frequência dos tons de teste, ou seja, a proximidade do produto de intermodulação com respeito à fundamental (proximidade ao ponto de maior ganho). Os padrões especificam as características de intermodulação que devem se cumprir a um valor específico de $|f_1 - f_2|$, entretanto, na literatura de LNAs implementados os autores diferem (mesmo para uma aplicação padrão específica) dos pontos de medida e assim as comparações feitas muitas vezes não são corretas.

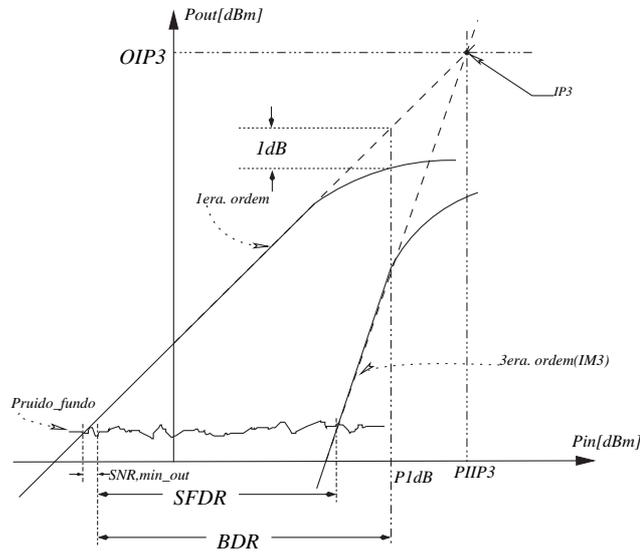


Figura A.2: Definição do IP3

Extraindo os termos $IM3$ da equação A.19 e considerando as sinais de entrada com a mesma amplitude, da definição de $IIP3$ onde $A_{in} = A_{IIP3}$ quando a saída do termo devido ao ganho linear é igual à saída dos produtos $IM3$, pode ser escrito:

$$|k_1| \cdot A_{IIP3} = \frac{3}{4} |k_3| \cdot A_{IIP3}^3$$

$$\rightarrow A_{IIP3} = \sqrt{\frac{4 |k_1|}{3 |k_3|}} \quad (A.23)$$

O $IIP3$ em condições de casamento se pode escrever como:

³As amplitudes dos sinais de teste podem ser diferentes, entretanto, na pratica um dos tons deverá ser o suficiente maior tal que o produto de intermodulação $IM3$ resultante é precisamente mesurável [39]

$$P_{IIP3} = \frac{A_{IIP3}^2}{2R_s} \quad (\text{A.24})$$

$$P_{IIP3} = \frac{2k_1}{3k_3R_s} \quad (\text{A.25})$$

Segundo o que vimos pode-se dizer que para uma boa estimativa do comportamento linear de um circuito basta calcular o coeficiente de terceira ordem k_3 . Desde que a relação entre A_{IIP3} e A_{1-1dB} é 9.3 o ponto de compressão de 1 dB é menor e, portanto, mais crítico como especificação da linearidade.

Com o mesmo procedimento usado para um sistema não linear é possível avaliar a linearidade de um sistema com blocos em cascata. Com algumas simplificações e adotando o pior caso de

$$IIP3_n = \frac{1}{\sqrt{\frac{1}{IIP3_1^2} + \sum_{i=2}^n \frac{\prod_{j=1}^{i-1} G_j^2}{IIP3_i^2}}} \quad (\text{A.26})$$

onde: o IIP3 de todo o sistema é $IIP3_n$ e pode ser melhorado incrementando os IIP3s ($IIP3_i$) dos blocos individuais e significativamente aumentando o IIP3 dos blocos finais. Desde que o $IIP3_n$ é maior quando o denominador da equação A.26 for menor, ou seja, diminuindo o termo que mais aumenta o denominador que é o termo para quando $i = n$ (último estágio), e posto que este é multiplicado pelo ganho dos estágios anteriores e dividido pelo $IIP3_i$ para cada estágio. Entretanto, um aumento do ganho dos estágios anteriores (especialmente do ganho dos primeiros blocos) diminuirá o $IIP3_n$. Então, é necessário ter um circuito com bom desempenho linear na saída do sistema e ganhos reduzidos nos primeiros estágios. Como se viu anteriormente, o requerimento de ganhos menores é contraditório para a condição de menor fator de ruído do sistema, equação A.15. Assim, pode-se mostrar que não existirá uma condição de projeto que otimize tanto o desempenho de ruído como a linearidade num circuito de só um estágio, mas existe um compromisso que pode ser cumprido dentro das especificações tal que o desempenho dos dois parâmetros seja adequado.

A.2.3 Faixa dinâmica

Outra forma de medir a distorção é quantificar a habilidade de um receptor de detectar as variações do sinal de entrada, chamada faixa dinâmica, que analisaremos a seguir. A faixa dinâmica é a diferença entre o nível máximo de entrada que pode tolerar o receptor e o mínimo sinal que pode detectar com SNR_{out} especificado. Isto é, a diferença entre o ponto de compressão referido na entrada (desde que este é mais crítico que o IP3) e o mínimo sinal detectável, os quais são dados pelas equações A.22 e A.25 (para o valor em potência) respectivamente. Portanto, a faixa dinâmica pode ser dada por:

$$DR = P_{1dB} + 173.8 \left[\frac{dBm}{Hz} \right] - NF \Big|_{dB} - SNR_{out,min} \Big|_{dB} - 10 \log B \quad (\text{A.27})$$

Nas especificações dos padrões são usadas duas definições de faixa dinâmica: faixa dinâmica livre de "espúrias" (SFDR), e faixa dinâmica de bloqueio (BDR). A equação A.27 define o BDR, ou seja, quando o limite superior é imposto pelo efeito compressor. Para o SFDR, o limite superior é definido quando o componente $IM3$ referido na entrada for igual ao ruído de fundo (*noise floor*). O *noise floor* é definido como o ruído intrínseco visto na entrada (figura A.2):

$$P_{\text{ruído de fundo}} = -173.8 \left[\frac{dBm}{Hz} \right] + NF \Big|_{dB} + 10 \log B \quad (\text{A.28})$$

Das equações que definem o $IIP3$ e da equação A.28 o SFDR pode ser escrito como [38]:

$$SFDR = \frac{2}{3}(IIP3 - P_{\text{noise-floor}}) - SNR_{\text{out,min}} \quad (\text{A.29})$$

Na literatura, geralmente para o cálculo da faixa dinâmica é assumido que $SNR_{\text{out,min}}$ seja zero.

A.3 Seletividade

O $IIP3$ calculado anteriormente está relacionado com as interferências que ocorrem dentro do circuito. Uma característica de um bom receptor é a imunidade a sinais fora da banda, chamada seletividade. A seletividade do receptor é o parâmetro que quantifica a habilidade de responder a canais vizinhos em relação ao canal desejado.

A seletividade está determinada por diferentes efeitos os quais dependem do funcionamento dos diferentes estágios do receptor [40]. Do ponto de vista do projeto do LNA, o interesse na seletividade baseia-se no bloqueio de sinais imagens e no bloqueio de outras bandas (componentes de intermodulação que caem na banda desejada). Tradicionalmente o uso de filtros na saída do LNA para melhorar a seletividade da banda é imposto pelo desempenho dos consecutivos blocos e arquitetura do receptor⁴. Sem dúvida, em especificações de padrões exigentes, como arquiteturas heterodinas, a rejeição de imagem (IR) tem um papel importante e o uso de filtros de superfície de onda acústica (SAW), filtros passivos implementados fora do *chip* (*off-chip*) ou filtros cerâmicos são necessários e, prevêm tipicamente 30dB de IR @ 300MHz desde a fundamental [42]. Desde que 30 dB de IR @ 300MHz não são suficientes para as especificações é necessário que os outros blocos do sistema forneçam IR. O LNA com IR é uma das soluções [42, 43].

⁴Arquiteturas heterodinas com alta IR tem sido propostas [41]. O uso da arquitetura de conversão direta elimina o problema de IR desde que não existe frequência intermédia.

Apêndice B

Desempenho dos transistores MOS a altas frequências (RF)

B.1 Frequência de trabalho

Com o propósito de medir a máxima frequência à que um transistor pode operar, existem na literatura dos definições amplamente usadas: frequência de ganho unitário de corrente f_T e frequência de ganho unitário de potência f_{max} .

Para o cálculo de f_T assume-se que o dreno esta terminado num curto circuito incremental e a porta é alimentada por uma fonte de corrente. Uma aproximação pode ser obtida usando o modelo da figura B.1 para o transistor em saturação com uma fonte de corrente na entrada e desprezando a contribuição de realimentação da corrente de saída, logo pode ser escrito :

$$i_o = -g_m v_{gs} \quad (\text{B.1})$$

$$v_{gs} = \frac{i_i}{j\omega(C_{gs} + C_{gd})} \quad (\text{B.2})$$

$$\rightarrow \left| \frac{i_o}{i_i} \right| = \frac{g_m}{\omega(C_{gs} + C_{gd})} \quad (\text{B.3})$$

$$w = w_T \text{ quando } \left| \frac{i_o}{i_i} \right| = 1$$

$$\rightarrow w_T = \frac{g_m}{(C_{gs} + C_{gd})} \quad (\text{B.4})$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (\text{B.5})$$

usando o modelo de primeira ordem para calcular g_m e desprezando C_{gd} , obtém-se:

$$f_T \approx \frac{g_m}{2\pi C_{gs}} = \frac{\mu_n C_{ox} (W/L) (v_{gs} - v_t)}{(2/3) W L C_{ox}} = \frac{3\mu_n (v_{gs} - v_t)}{2L^2} \quad (\text{B.6})$$

logo, f_T aumenta quadraticamente com a diminuição do comprimento de canal.

Para o cálculo de f_{max} deve considerar-se que existe casamento nas terminações do transistor, tal que exista máxima transferência de potência. Assim, as potências entregues à entrada e à carga são:

$$P_i = \frac{i_i^2 r_g}{2} \quad (\text{B.7})$$

$$P_l = \frac{i_o^2 R_l}{2} \quad (\text{B.8})$$

onde r_g é a resistência de porta que pode ser calculada como [44, 45, 5]:

$$r_g = R_{elect} + R_{NQS} \quad (\text{B.9})$$

$$\text{com } R_{elect} = \frac{R_{\square} W}{kn^2 L} \quad (\text{B.10})$$

onde R_{elect} é a resistência do eletrodo de porta e R_{NQS} é a resistência associada ao efeito não quase estático estudado na seção B.2. Na equação B.10, R_{\square} é a resistência de folha do polisilício por quadrado, W é a largura do canal, L o comprimento do canal, n é o número de dedos e k é 3 quando a porta está conectada a um só lado, e 12 quando esta conectada nos dois lados.

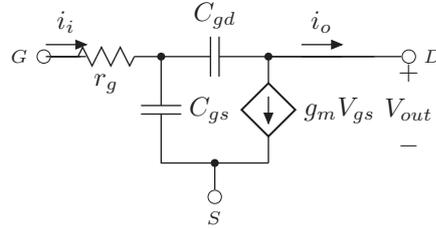


Figura B.1: Modelo simplificado do transistor.

A impedância de carga assumindo casamento tem o mesmo valor da impedância de saída do transistor, a qual pode ser calculada usando uma fonte de teste na saída, desligando a fonte de corrente de entrada e considerando a realimentação da corrente saída, temos:

$$R_l = \left| \frac{v_{out}}{v_{in}} \right| \quad (\text{B.11})$$

$$|v_{out}| = \frac{|i_i|}{w C_{gd}} \quad (\text{B.12})$$

$$R_l = \frac{\frac{i_i}{C_{gd}}}{\frac{g_m i_i}{w(C_{gs} + C_{gd})}} = \frac{1}{w_T C_{gd}} \quad \text{usando a eq. B.3} \quad (\text{B.13})$$

substituindo B.13 em B.8 e desde a definição de f_{max} , pode ser escrito:

$$\frac{P_o}{P_i} = \frac{\left(\frac{w_T i_i}{2w}\right)^2 \cdot \frac{1}{w_T C_{gd}}}{i_i^2 r_g} \quad (\text{B.14})$$

$$w = w_{max} \text{ quando } \frac{P_o}{P_i} = 1$$

$$\rightarrow w_{max} = \frac{1}{2} \sqrt{\frac{w_T}{r_g C_{gd}}}$$

$$\rightarrow f_{max} = \frac{1}{2} \sqrt{\frac{w_T}{2\pi r_g C_{gd}}} \quad (\text{B.15})$$

Observando a equação B.15 pode-se aproximar que se terá maior f_{max} com uma menor área do transistor.

B.2 Efeito Não Quase eStático (NQS)

Modelos de transistores em circuitos operando a frequências próximas¹ de f_T requerem considerar o tempo que leva em se formar o canal depois que uma polarização é aplicada (efeito NQS). Um modelo usado para aproximar o efeito NQS é calcular o tempo que leva a formação equilibrada de cargas no canal usando o modelo distribuído do capacitor e a resistência do canal [47, 15, 12] como ilustra a figura B.2².

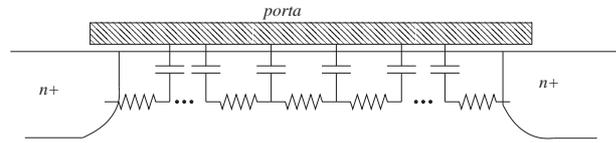


Figura B.2: Modelo distribuído da porta para análise NQS a altas frequências.

A resistência do canal associada ao tempo de formação de canal é chamada R_{NQS} e uma aproximação tem sido calculada em [47], como:

$$R_{NQS} = \frac{L_{eff}}{5\mu_{eff}WQ_c} \quad (\text{B.16})$$

onde L_{eff} é o comprimento efetivo do canal, Q_c é a carga de inversão instantânea no canal e μ_{eff} é a mobilidade efetiva do canal.

B.3 Fontes de ruído

Um bom número de publicações tem estudado as fontes de ruído intrínsecas ao transistor operando a altas frequências, e como estas influem num LNA CMOS. Tem-se mostrado

¹Uma definição de quanto é próximo não existe exatamente na literatura. Elmar et al. em [46] apresentam uma relação aproximada de f_{NQS}/f_T , sendo f_{NQS} é a frequência onde o efeito NQS começa a ser considerável.

²Adaptada de [45].

que as fontes de ruído térmico [28] impõe uma limitação fundamental na figura de ruído do LNA[5]. Existem duas classes de fontes de ruído térmico associadas a um transistor, intrínsecas e extrínsecas. As fontes intrínsecas de ruído de térmico num transistor MOS são: corrente de ruído do canal e corrente de ruído induzida na porta. As fontes de ruído térmico extrínsecas são as fontes de ruído devido a componentes resistivos parasitarios no transistor: Ruído devido à resistências parasitarias de dreno, de fonte, de porta (eletrodo) e do substrato (ver figura B.3³).

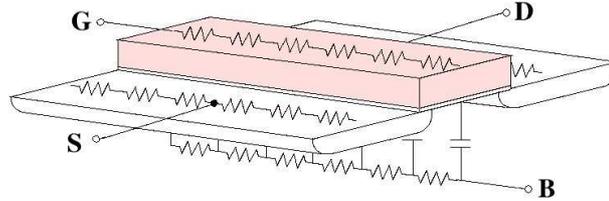


Figura B.3: Resistências parasitarias associados ao transistor gerando ruído térmico.

Ruído do canal

Este ruído é devido ao ruído térmico gerado pelos portadores no canal [28]. Também é chamado ruído de difusão por seu origem físico. Um modelo comumente usado é uma fonte de corrente entre o dreno e a fonte, como mostra a figura 2.7(a) (note-se que nas figuras é usado o valor meio da corrente de ruído) e representado pelo valor meio quadrático da corrente de ruído⁴:

$$\overline{i_{n,d}^2} = 4KT\gamma g_{d0}\Delta f \quad (\text{B.17})$$

onde K é a constante de Boltzmann's, T é a temperatura dos portadores no canal, γ é um parâmetro dependente da polarização [49], g_{d0} é conductância de dreno com $V_{ds} = 0$ (tipicamente igual à conductância do transistor g_m) e Δf a faixa de frequência de medida.

Ruído induzido na porta

È o ruído térmico induzido pelas flutuações geradas pelo ruído do canal, através do acople capacitivo do oxido de porta. Assim que, o ruído de canal e o ruído de porta têm o mesmo origem, existe uma correlação entre as duas fontes. O modelo usado é uma fonte de corrente conectada entre a porta e a fonte, indicada na figura 2.7(a) e representada pela expressão[28]:

$$\overline{i_{n,g}^2} = 4KT\delta g_g(1 - |c^2|)\Delta f + 4KT\delta g_g|c^2|\Delta f \quad (\text{B.18})$$

$$g_g = \frac{w^2 C_{gs}^2}{5g_{d0}} \quad (\text{B.19})$$

³Tomada de [48].

⁴Como o ruído é uma variável aleatória, uma melhor representação matemática é o uso de valores meios quadráticos.

onde δ é um parâmetro dependente da polarização e ao igual que γ não existe uma relação exata com o valor de polarização em transistores de canal curto⁵. O fator de correlação c é aproximadamente $j0.395$ em transistores de canal longo e decrementa com a redução de comprimento do canal. O primeiro termo da equação B.18 é o componente de corrente descorrelacionado ($\overline{i_{n,gu}^2}$) e o segundo termo é o componente correlacionado com o ruído de canal ($\overline{i_{n,gc}^2}$).

Ruído devido às resistências parasitas

O ruído devido às resistências parasitas pode ser calculado usando a fórmula tradicional para uma resistência em equilíbrio térmico, e representado por uma fonte de corrente em paralelo com as resistências parasitas, assim:

$$\overline{i_{n,R_p}^2} = \frac{4KT}{R_p} \Delta f \quad (\text{B.20})$$

onde R_p pode ser substituída por cada uma das resistências parasitas de dreno, de fonte e de porta (eletrodo). De mesma forma é feito para o ruído devido ao substrato, que pode ser modelado com uma simples resistência [50].

⁵Valores experimentais em canal curto aproximam valores γ entre 2 e 4 e $\delta \approx 2\gamma$, além de mostrar que com a redução do canal os valores aumentam.

Referências Bibliográficas

- [1] *The International Technology Roadmap for Semiconductors*, S.I.A Std., 2001. [Online]. Available: <http://www.itrs.org>
- [2] J. Min, A. Rofougaran, H. Samueli, and A. A. Abidi, “An all-CMOS architecture for a low-power frequency-hopped 900 Mhz spread-spectrum transceiver,” in *Custom IC Conf. IEEE*, San Diego, CA, 1994, pp. 379–382.
- [3] A. Rofougaran *et al.*, “A 1 GHz CMOS RF Front-End IC For A Direct-Conversion Wireless,” UCLA, CA, Tech. Rep., 1995.
- [4] A. Karanicolas, “A 2.7-V 900-MHz CMOS LNA and mixer,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939–1944, 1996.
- [5] D. Shaeffer and T. H. Lee, “A 1.5 V, 1.5 GHz CMOS low noise amplifier,” *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, 1997.
- [6] J. Janssens *et al.*, “A 2.7 Volt CMOS Broadband Low Noise Amplifier,” in *Symposium on VLSI Circuits*, 1997, pp. 87–88.
- [7] Q. Huang, P. Orsatti, and F. Piazza, “Broadband, 0.25 μm CMOS LNAs with sub-2dB NF for GSM applications,” in *Custom IC Conf. IEEE*, 1998, pp. 67–70.
- [8] B. Floyd *et al.*, “A 900-MHz, 0.8 μm CMOS low noise amplifier with 1.2 dB,” in *Custom IC Conf. IEEE*, 1999, pp. 67–70.
- [9] P. Leroux, J. Janssens, and M. Steyaert, “A 0.8 dB NF ESD-Protected 9mW CMOS LNA,” in *Int. Solid-State Conf. IEEE*, 2001, pp. 410–411.
- [10] R. Fujimoto, K. Kojima, and S. Otaka, “A 7-GHz 1.8dB NF CMOS Low Noise Amplifier,” in *Int. Solid-State Conf. IEEE*, 2002.
- [11] B. Razavi, “CMOS Technology Characterization for Analog and RF Design,” *IEEE J. Solid-State Circuits*, vol. 34, no. 3, pp. 268–276, 1999.
- [12] C. Hu *et al.*, “BSIM 4.2.1 MOSFET Model -User’s Manual-,” Grupo BSIM-UCB, CA, Tech. Rep., 2001. [Online]. Available: <http://www-device.eecs.berkeley.edu/bsim3/bsim4.html>
- [13] C. Enz, “An MOS Transistor Model for RF IC Design Valid in All Regions of Operation,” *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 1, pp. 342–359, 2002.

- [14] Y. Tsvividis *et al.*, “MOSFET Modeling for Analog Circuit CAD: Problems and Prospects,” *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 210–216, 1994.
- [15] Y. Tsvividis, *Operating and Modeling of the MOS transistor*, 2nd ed. McGraw-Hill, 1999.
- [16] Y. Cheng *et al.*, “RF Modeling issues of Deep-submicron MOSFETs for Circuit Design,” in *Solid-State and IC Tech. Intern. Conf. IEEE*, 1998.
- [17] H. Rothe and W. Dahlke, “Theory of noisy fourpoles,” *Proc. of the IRE.*, vol. 44, pp. 811–815, 1956.
- [18] P. Andreani and H. Sjöland, “Noise optimization of an inductively degenerated CMOS low Noise Amplifier,” *IEEE Trans. Circuits Syst. II*, vol. 48, no. 9, pp. 835–841, 2001.
- [19] P. Leroux, J. Janssens, and M. Steyaert, “A 0.8-dB NF ESD-Protected 9-mW CMOS LNA Operating at 1.23 GHz,” *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 760–765, 2002.
- [20] Jung-SukGoo *et al.*, “A noise optimization technique for integrated low-noise amplifiers,” *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp. 994–1002, 2002.
- [21] Y. Ding and R. Harjani, “A 18dBm IP3 LNA in 0.35 μ m CMOS,” in *Int. Solid-State Conf. IEEE*, 2001, pp. 162–163.
- [22] P. Park, C. Kim, and H. Kyu, “Linearity, noise optimization for two stage RF CMOS LNA,” in *TENCON Region 10 Int. Conf. IEEE*, 2002.
- [23] Y. Chan, A. A. Abidi, and M. Gaitan, “Large suspended inductors on silicon and their use in a 2 μ m CMOS RF amplifier,” in *IEEE Electron Device Lett.*, 1993.
- [24] T. H. Lee, *The design of CMOS Radio Frequency Integrated Circuits*. Cambridge University Press, 1998.
- [25] S. Sheng *et al.*, “A low power CMOS chipset for spread-spectrum communications,” in *Int. Solid-State Conf. IEEE*, 1996, pp. 346–347.
- [26] Y. Ge and K. Mayaram, “A comparative analysis of CMOS LNAs for RF applications,” in *ISCAS. IEEE*, 1998, pp. 349–352.
- [27] T. W. Houston and L. W. Read, “Computer-Aided Design of broad-band and Low-Noise Microwave Amplifiers,” *IEEE Trans. Microwave Theory Tech.*, vol. 17, no. 8, pp. 612–614, 1969.
- [28] A. V. der Ziel, *Noise in Solid State Devices and Circuits*. John Wiley and Sons, 1986.
- [29] B. Kim *et al.*, “A new Linearization technique for MOSFET RF amplifier using multiple gated transistors,” *IEEE Microwave Guided Wave Lett.*, vol. 10, no. 9, pp. 371–374, 2000.

- [30] E. Sacchi, “Building Blocks for highly Integrated CMOS-RF Receiver,” Ph.D. dissertation, Univ. Degli Studi di pavia, Italia, 1999.
- [31] C.-H. Feng *et al.*, “Analysis of Nonlinearities in RF CMOS Amplifiers,” in *ISCAS. IEEE*, 1999, pp. 137–140.
- [32] S. A. Maas, *Nonlinear Microwave Circuits*. Norwood, MA: Artech House, 1988.
- [33] T. Soorapanth and T. H. Lee, “RF Linearity of Short-Channel MOSFETs,” Center for Integrated Systems, Standford Univ., Tech. Rep., 1998.
- [34] S. A. Maas, “What You Need To Know About Volterra-Series Analysis,” Applied Wave Research, Inc., Tech. Rep., 1999.
- [35] P. Wambacq, W. Sansen, *et al.*, “Noise optimization of an inductively degenerated CMOS low Noise Amplifier,” *IEEE Trans. Circuits Syst. II*, vol. 48, no. 9, pp. 835–841, 2001.
- [36] Q. Li and J. Yuan, “Linearity analysis and design optimisation for 0.18 μm CMOS RF mixer,” in *IEE Proc. Circuits Devices Syst.*, vol. 149, no. 2, 2002, pp. 112–118.
- [37] H. T. Friis, “Noise figures of radio receivers,” *Proc. of the IRE.*, vol. 44, pp. 419–422, 1944.
- [38] B. Razavi, *RF Microelectronics*. McGraw-Hill, 1998, ch. 2.
- [39] K. Kundert, “Accurate and rapid measurement of IP2 and IP3,” The Designer’s Guide, Tech. Rep., 2002.
- [40] P. Vizmuller, *RF Design Guide: Systems, Circuits and Equations*. MA: Artech House, 1995.
- [41] J. Rudell *et al.*, “A 1.9GHz wide-band IF double conversion CMOS receiver for cordless telephone applications,” *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 2071–2088, 1997.
- [42] F. Svelto, R. Castello, G. Montagna, and S. Deantoni, “Solutions for image rejection CMOS LNA,” in *Int. Symp. on Circuits and Sys. IEEE*, 2000.
- [43] H. L. A. Chan and C. Guo, “A 1-V 2.4-GHz CMOS LNA with source degeneration as image-rejection,” in *ISCAS. IEEE*, 2001.
- [44] B. Razavi *et al.*, “Impact of distributed gate resistance on the performance of MOS Devices,” *IEEE Trans. Circuits Syst. I*, vol. 41, no. 11, pp. 750–754, 1994.
- [45] X. Jin *et al.*, “An Effective Gate Resistance Model for CMOS RF and Noise Modeling,” *IEEE Electron. Dev. Mag.*, no. 9, pp. 35.5.1–35.5.4, 1998.
- [46] E. Gondro *et al.*, “When do we need Non-Quasistatic CMOS RF-Models,” in *Custom IC Conf. IEEE*, 2001.
- [47] M. Chan *et al.*, “A Robust and Physical BSIM3 Non-Quasi-Static Transient and AC Small-signal Model for Circuit Simulation,” *IEEE Trans. Electron Devices*, vol. 45, no. 4, pp. 834–841, 1998.

- [48] J.-S. Goo, “High Frequency noise in CMOS Low Noise Amplifiers,” Ph.D. dissertation, Stanford Univ., CA, 2001.
- [49] T. Manku, “Microwave CMOS-Device Physics and Design,” *IEEE J. Solid-State Circuits*, vol. 34, no. 3, pp. 277–285, 1999.
- [50] S. Fong and K. Mayaram, “Substrate Network Modeling for CMOS RF Circuit Simulation,” in *Int. Solid-State Conf. IEEE*, 1999, pp. 583–586.