



|                  |                          |
|------------------|--------------------------|
| ASIGNATURA:      | Microelectrónica II      |
| CÓDIGO:          | 2362                     |
| CRÉDITOS:        | 8                        |
| NIVEL:           | Octavo                   |
| HORAS TEÓRICAS:  | 3                        |
| HORAS PRÁCTICAS: | 2                        |
| PROFESOR :       | Elkim Felipe Roa Fuentes |
| # ESTUDIANTES:   | 10                       |

---

#### **PRESENTACIÓN DEL CURSO**

La asignatura presenta los fundamentos de diseño VLSI CMOS basados en el diseño de un microprocesador descrito en el dominio comportamental. Se presenta la metodología de síntesis de alto nivel como una estrategia de diseño para rápido prototipaje en un circuito integrado de sistemas digitales complejos.

---

#### **OBJETIVOS DE LA ASIGNATURA**

- Presentar los fundamentos de diseño físico VLSI en tecnología CMOS.
- Presentar las diferentes metodologías de diseño de un circuito integrado VLSI.
- Proveer una experiencia de diseño para que los estudiantes analicen y discutan especificaciones reales.
- Motivar y mejorar la habilidad de los estudiantes a interactuar en un equipo de diseño.
- Permitir al estudiante mejorar sus habilidades escritas y orales de presentación de trabajos.

---

#### **EVALUACIÓN**

Se realizarán 10 laboratorios con un valor de 40%, es decir un valor de 4 % para cada laboratorio. El proyecto del microprocesador final descrito en VHDL, programado en una FPGA y sintetizado en layout, tendrá un valor de 60 %.

---

#### **BIBLIOGRAFÍA**

1. PRINCIPLES OF CMOS VLSI DESIGN, A Systems Perspective, N. Weste and K. Eshraghian, Addison Wesley, 2<sup>nd</sup>. Ed., 1993.
2. MICROPROCESADOR DESIGN, principles and practices with VHDL, HWANG, E.; Brooks/Cole 2004.
3. RAPID PROTOTYPING OF DIGITAL SYSTEMS, A tutorial approach, HAMBLIN, J. and FURMAN M.; 2<sup>nd</sup>. Ed., Kluwer Academic Publishers, 2002.
4. DIGITAL INTEGRATED CIRCUITS, A design perspective, RABAIEY J.; 2<sup>nd</sup>. Ed. 2001.
5. CMOS CIRCUIT DESIGN, LAYOUT AND SIMULATION, Baker J., Li H., Boyce D., IEEE Press, 1998.
6. OPENCORES, Diseño de procesadores; [www.opencore.org](http://www.opencore.org).
7. VHDL PROGRAMMING BY EXAMPLE, PERRY D.; 4a. Ed., McGraw Hill, 2003.
8. COMPUTER ARCHITECTURE, PATTERSON D.; 2001.

## CONTENIDO

|               |                                                                                                           |                                                                                                                                                                                                                      |
|---------------|-----------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>TEMA 1</b> | <b>Aspectos generales sobre VLSI CMOS</b>                                                                 |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 4 T<br>4P     | Dominios y niveles de diseño.<br>Estrategias de diseño.<br>Generalidades sobre Testing.                   | LAB1. Describiendo sistemas digitales con VHDL. Lógica combinacional y secuencial. (2 semanas).                                                                                                                      |
| <b>TEMA 2</b> | <b>Dispositivos lógicos programables.</b>                                                                 |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 3 T<br>4 P    | PALs<br>PLAs<br>CPLD<br>FPGA<br>Otros dispositivos lógicos programables.                                  | LAB2. Automatización de layouts.                                                                                                                                                                                     |
| <b>TEMA 3</b> | <b>Consideraciones generales sobre el diseño de ASICs como sistemas microprocesados.</b>                  |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 2 T<br>2 P    | µP de propósito general: DATAPATH+FSM<br>µP de propósito específico: FSMD                                 | LAB3. Diseño e implementación de puertas lógicas básicas: Inversor, NAND, NOR.                                                                                                                                       |
| <b>TEMA 4</b> | <b>Diseño lógico con circuitos CMOS y descripción VHDL.</b>                                               |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 10 T<br>4 P   | Estructuras lógicas CMOS<br>Sumadores<br>Contadores binarios<br>Multiplicadores<br>RAM<br>Estilos lógicos | LAB4. Diseño e implementación de un sumador. Descripción en VHDL y layout caracterizado.<br>LAB5. Descripción comportamental y síntesis de un multiplicador. Descripción en VHDL y layout sintetizado caracterizado. |
| <b>TEMA 5</b> | <b>DATAPATHs</b>                                                                                          |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 8 T<br>8 P    | Registros<br>ULAs<br>Shifters<br>Diseño de un DATAPATH<br>Optimización de DATAPATH                        | LAB6. Descripción comportamental y síntesis de un registro de 4 bits. Descripción en VHDL y layout sintetizado caracterizado.<br>LAB7. Diseño de una ULA.<br>LAB8. Ensamble de un DATAPATH (2 semanas).              |
| <b>TEMA 6</b> | <b>Unidad de control, diseño lógico y síntesis.</b>                                                       |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 8 T<br>6 P    | Conjunto de instrucciones<br>FSM<br>Cartas ASM<br>Diseño y optimización de una unidad de control          | LAB9. Diseño de un controlador de 8 instrucciones. (2 semanas).<br>LAB10. Descripción y síntesis de circuitos de entrada/salida, memoria y periféricos.                                                              |
| <b>TEMA 7</b> | <b>Microprocesadores de propósito general</b>                                                             |                                                                                                                                                                                                                      |
| HORAS         | CONTENIDOS                                                                                                | LABORATORIOS                                                                                                                                                                                                         |
| 8 T<br>4 P    | RISC<br>Diseño y descripción de microprocesadores de propósito general usando VHDL.                       | <b>Proyecto Final.</b> Ensamble y síntesis de un microprocesador completo. Presentación y revisión del proyecto. Síntesis en una FPGA en                                                                             |

|  |                              |                      |
|--|------------------------------|----------------------|
|  | Vectores de prueba con VHDL. | layout. (2 semanas). |
|--|------------------------------|----------------------|

---